

Anwendungsgebiete unterschiedlicher FPGA-basierter MPSoC Architekturen

Marco Kirschke
INF-M2 – Anwendung 2 – Sommersemester 2010
26. Mai 2010

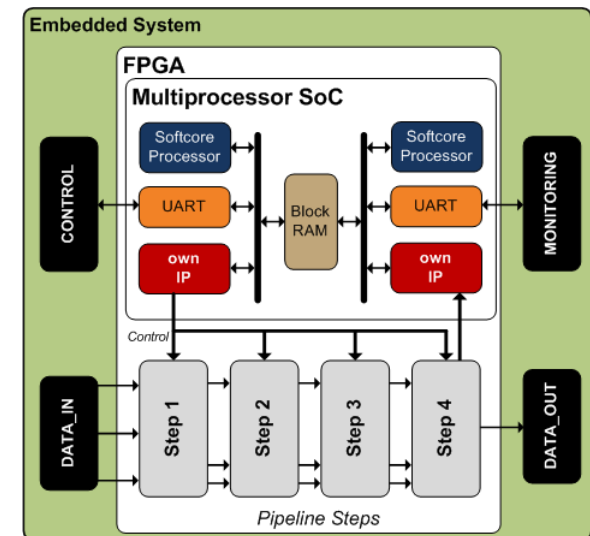
Inhalt

- ▶ Einleitung
- ▶ IEEE Veröffentlichungen
- ▶ Beispiele zu MPSoC Architekturen
 - ▶ Heterogene Architektur
 - ▶ UV-Setter: Erzeugung von Druckerplatten für Offset Drucker
 - ▶ Homogene Architektur
 - ▶ Aufbau und Analyse FPGA-basierter SMP Systeme
- ▶ Zusammenfassung

Einleitung

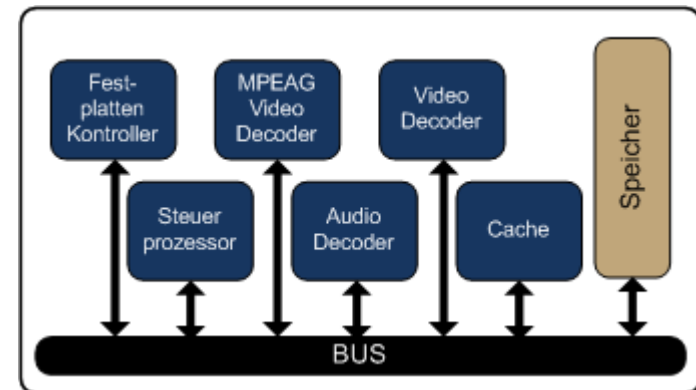
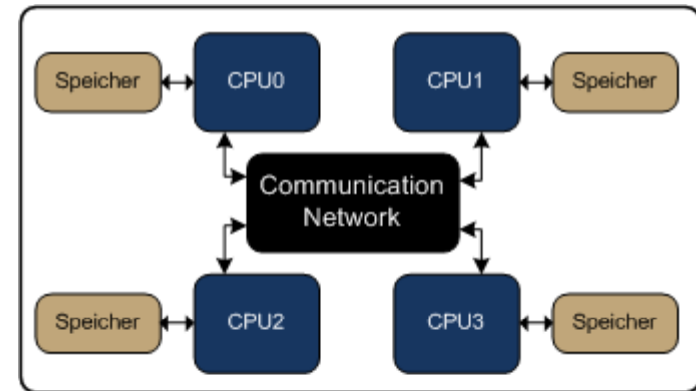
Master - Zielsetzung

- ▶ Entwicklung von Embedded Systems
 - ▶ Einschränkende Randbedingungen
 - ▶ Flexible Plattformen
- ▶ Einsatz von Softcore Prozessoren auf FPGAs
- ▶ Optimierung des Entwicklungsprozesses
- ▶ Skalierung des Systems



Gliederung von MP Architekturen

- ▶ **Homogene MP Systeme**
 - ▶ Primär zur Leistungssteigerung
 - ▶ Kommunikation über Netzwerk oder Busse
- ▶ **Heterogene MP Systeme**
 - ▶ Spezialprozessoren für verschiedene Anforderungen
 - ▶ Beispiel: DVD Player



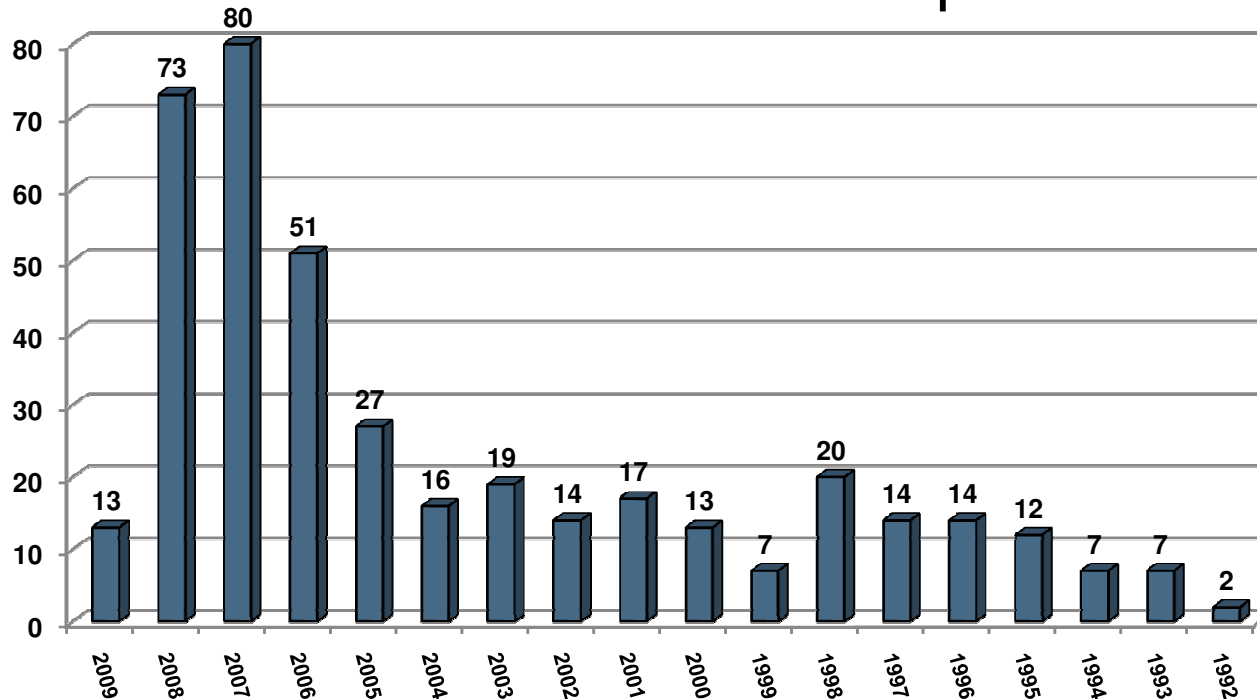
IEEE Veröffentlichungen

Entwicklung der MPSoC-Veröffentlichungen

- ▶ Wachsende Anzahl an Veröffentlichungen
- ▶ “Overview of FPGA-Based Multiprocessor Systems”^[1]
 - ▶ 2009 International Conference on Reconfigurable Computing and FPGAs
 - ▶ Veröffentlichung in der *inspec database* mit den Stichworten „multiprocessor“ und „FPGA“
 - ▶ Stand Juli 2009

Entwicklung der MPSoC-Veröffentlichungen

- ▶ Wachsende Anzahl an Veröffentlichungen
- ▶ “Overview of FPGA-Based Multiprocessor Systems”



Veröffentlichungen des IEEE

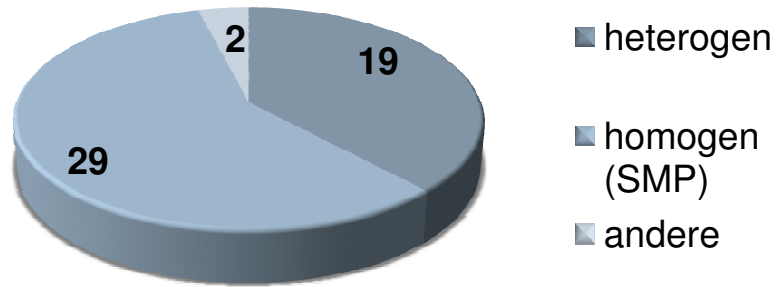
- ▶ Auswertung von 50 Veröffentlichungen aus den Jahren 2006 – 2009
- ▶ Stichworte „FPGA“ und „MPSoC“

Kategorisierung

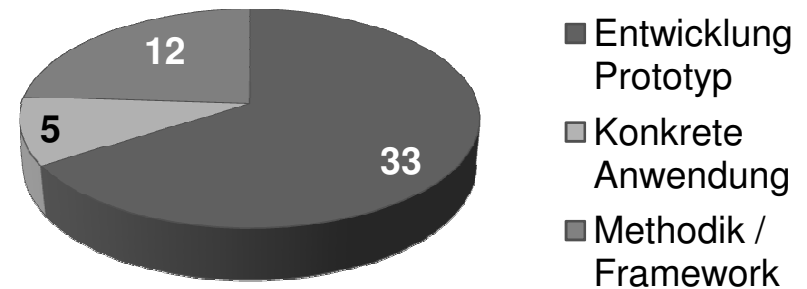
Architekturen	homogen / heterogen
Inhalte	Vorstellung eines Prototypen / Implementierung einer konkreten Aufgabe / Erstellung eines Frameworks
Softcore Prozessoren	MicroBlaze / Nios / PPC / ARM / etc.
Hersteller	Xilinx / Altera / etc.
NoC	Einsatz von Network on Chip

Auswertung

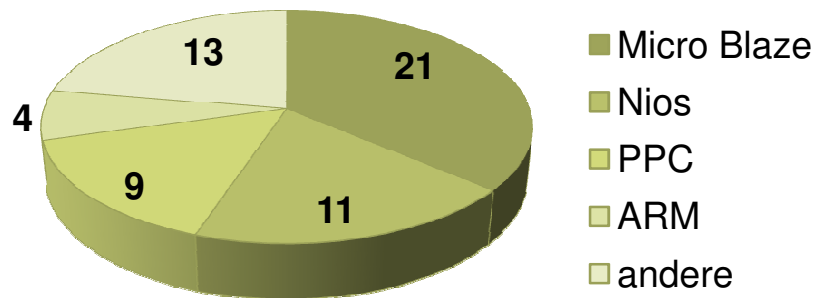
Architekturen



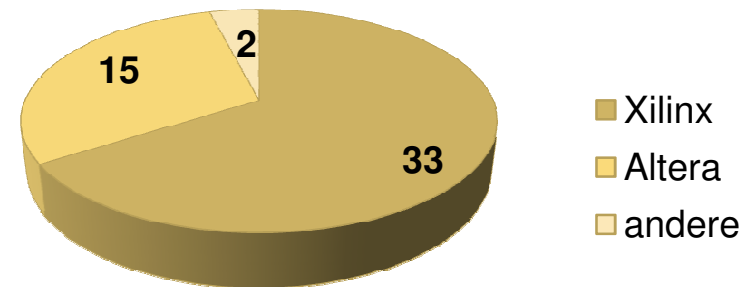
Inhalte



Softcore Prozessoren



Hersteller

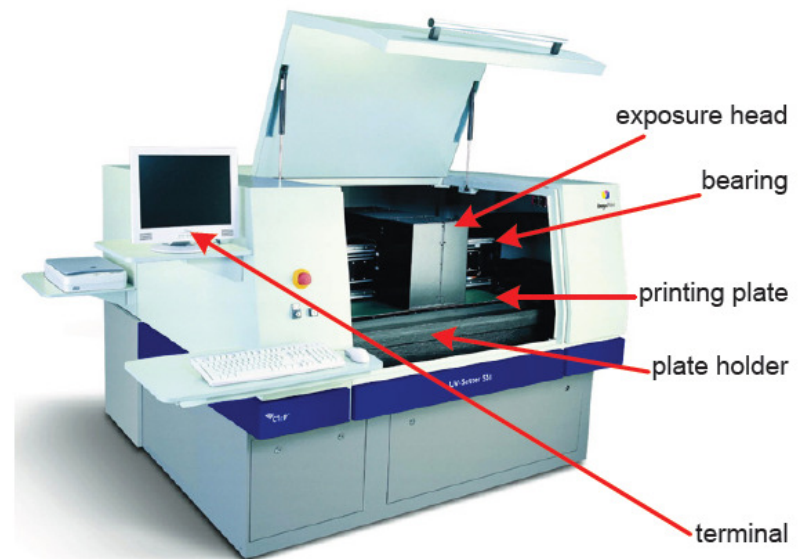


Einsatz von NoC bei 20 Veröffentlichungen

Heterogene Architektur

Heterogenes MPSoC

- ▶ Umgestaltung UV-Setters der Firma *basysPrint* [2]
- ▶ Belichtung von Druckerplatten für Offsetdrucker
- ▶ Einsatz der CTcP¹ Technologie [3]
 - ▶ UV-Licht zur Belichtung
 - ▶ Günstigere Druckplatten
- ▶ Erweiterung
 - ▶ in Zusammenarbeit mit der

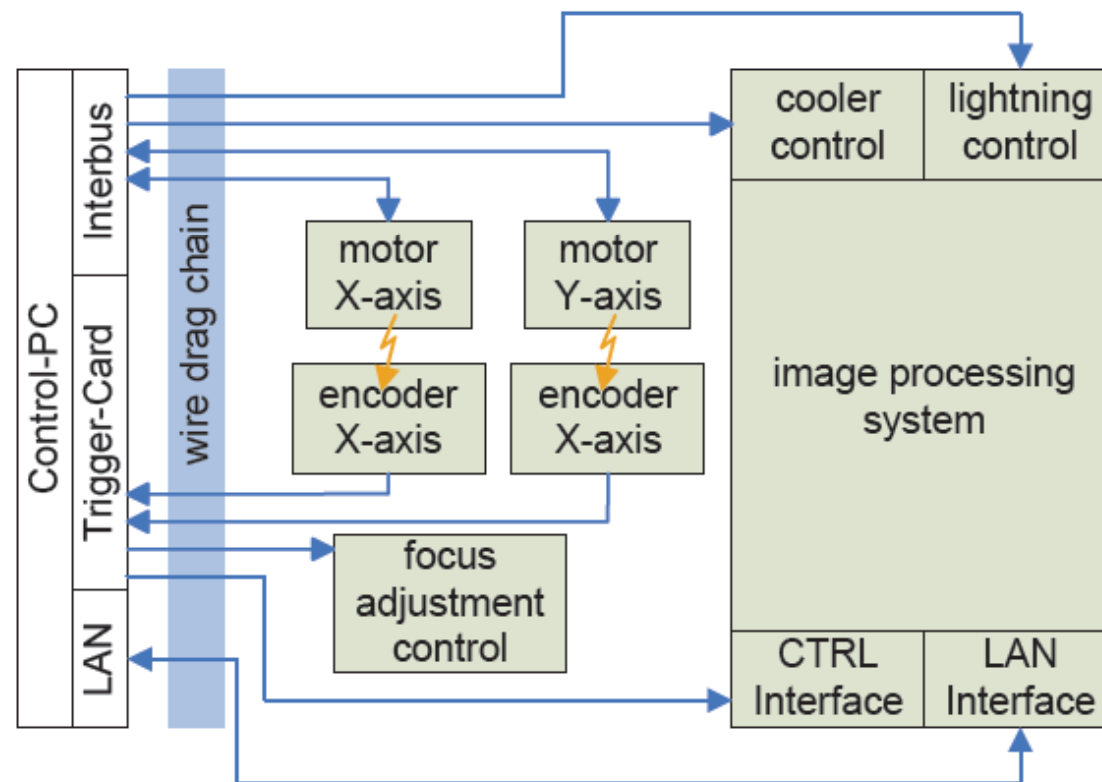


Ausgangskonfiguration des UV-Setters

- ▶ 4 grundlegende Schwachstellen
 - 1. Hohe Anzahl an Leitungen zum Belichtungskopf
 - 2. Hoher Platzbedarf durch die Länge der Leitungen
 - 3. Unnötige Komplexität durch verschiedene Kommunikationsprotokolle
 - 4. Eingeschränkte Erweiterbarkeit

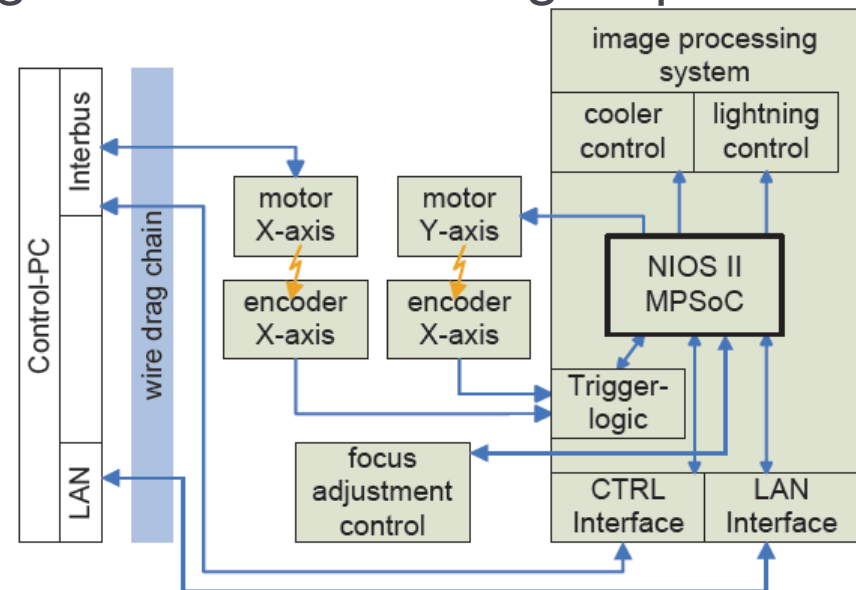
Ausgangskonfiguration des UV-Setters

► 4 grundlegende Schwachstellen



Integration eines Nios II MPSoC

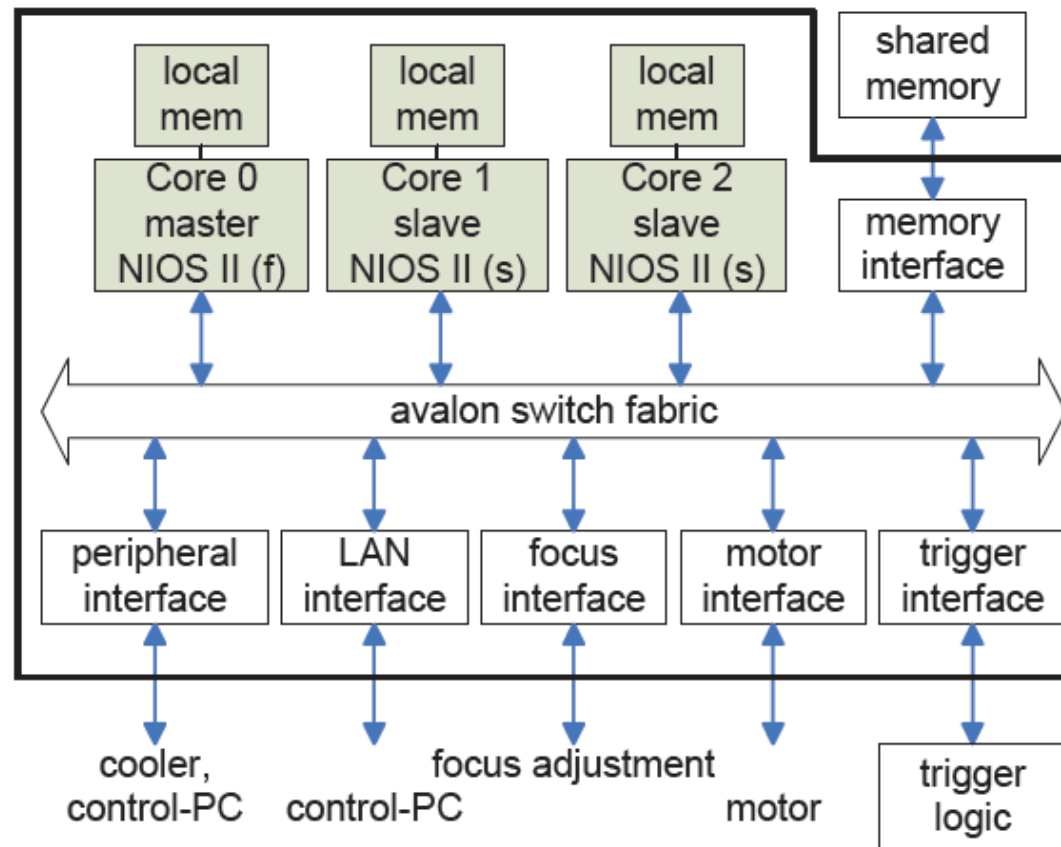
- ▶ Reduzierung der Anzahl an Leitungen
 - ▶ Belichtungskopf kommuniziert direkt mit den Motoren und der Fokus Kontrolle
 - ▶ Integration der Trigger Logik in den Belichtungskopf
- ▶ Erweiterbarkeit durch Verwendung des MPSoC gegeben



Nios II MPSoC

- ▶ Verwendung von shared-memory
 - ▶ Erleichtert Kommunikation der Prozessoren über load/store Befehle
 - ▶ Unterschiedliche Aufgabe der Prozessoren
 - ▶ Core 0 master
 - ▶ Kommunikation mit dem Host PC
 - ▶ Steuerung der Slave Prozessoren
 - ▶ Core 1 slave
 - ▶ Verarbeitung von Bewegungsdaten der Trigger Logik
 - ▶ Core 2 slave
 - ▶ Peripherie Steuerung für Fokus Kontrolle und Kühler
-

Nios II MPSoC



System Konfiguration

- ▶ Altera Cyclone FPGA EP1C20
 - ▶ 20.000 Logik Elemente zu 45 % ausgelastet
- ▶ Development Board mit
 - ▶ 16 MB SDRAM
 - ▶ 8 MB flash-memory
 - ▶ Onboard ethernet
 - ▶ verschiedene I/O Schnittstellen

Homogene Architektur

Symmetric multiprocessing MPSoC

- ▶ Vorstellung verschiedener SMP Systeme^[4]
 - ▶ Rey Juan Carlos University Mostoles
- ▶ 4 MPSoC mit unterschiedlichen Cache und Speicher Konfigurationen
- ▶ Verwendung von Xilinx FPGAs und MircoBlaze
- ▶ Notwendige Vorarbeiten
 - ▶ Entwicklung eines SMP fähigen Betriebssystems
 - ▶ Basierend auf Xilkernel
 - ▶ Hardware Modul zur Identifikation und Synchronisation der Prozessoren

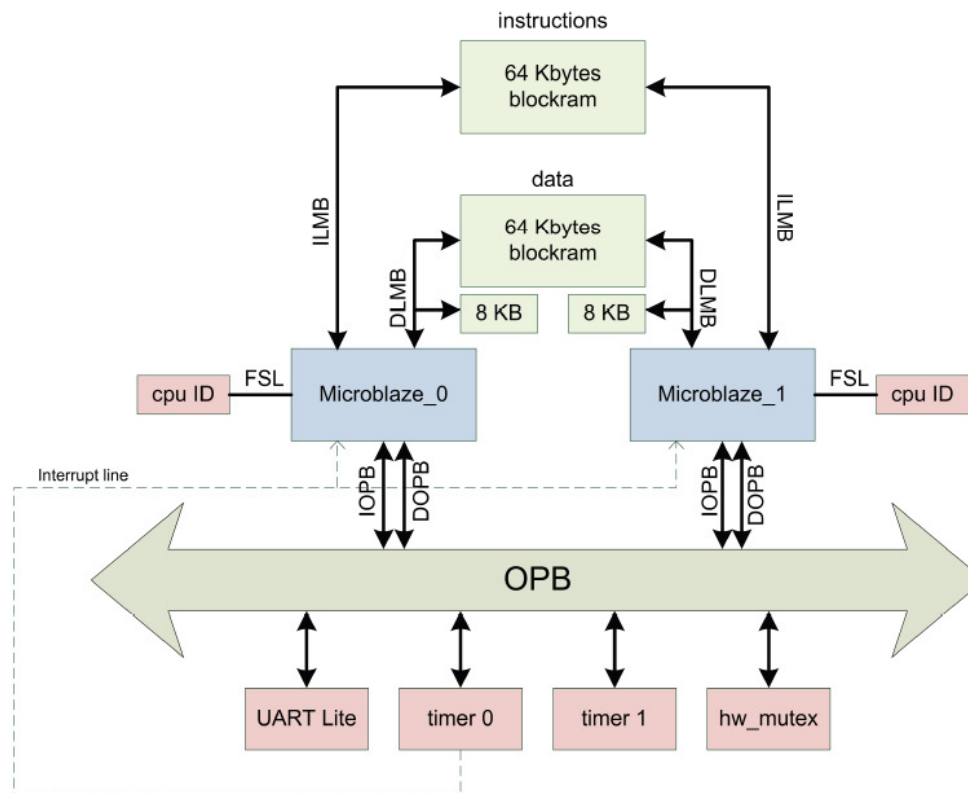


SMP: System 1

- ▶ 2 MicroBlaze (4.0a) Softcore Prozessoren
 - ▶ Mit direktem LMB¹ Anschluss an shared instruction & shared data memory
 - ▶ Speicherzugriff nicht über OPB²
 - ▶ Synchronisation über hw_mutex Modul
 - ▶ 2 timer für Zeitmessungen und Interrupts
 - ▶ UART Lite Modul zur Kommunikation mit Host PC

SMP: System 1

- ▶ 2 MicroBlaze (4.0a) Softcore Prozessoren

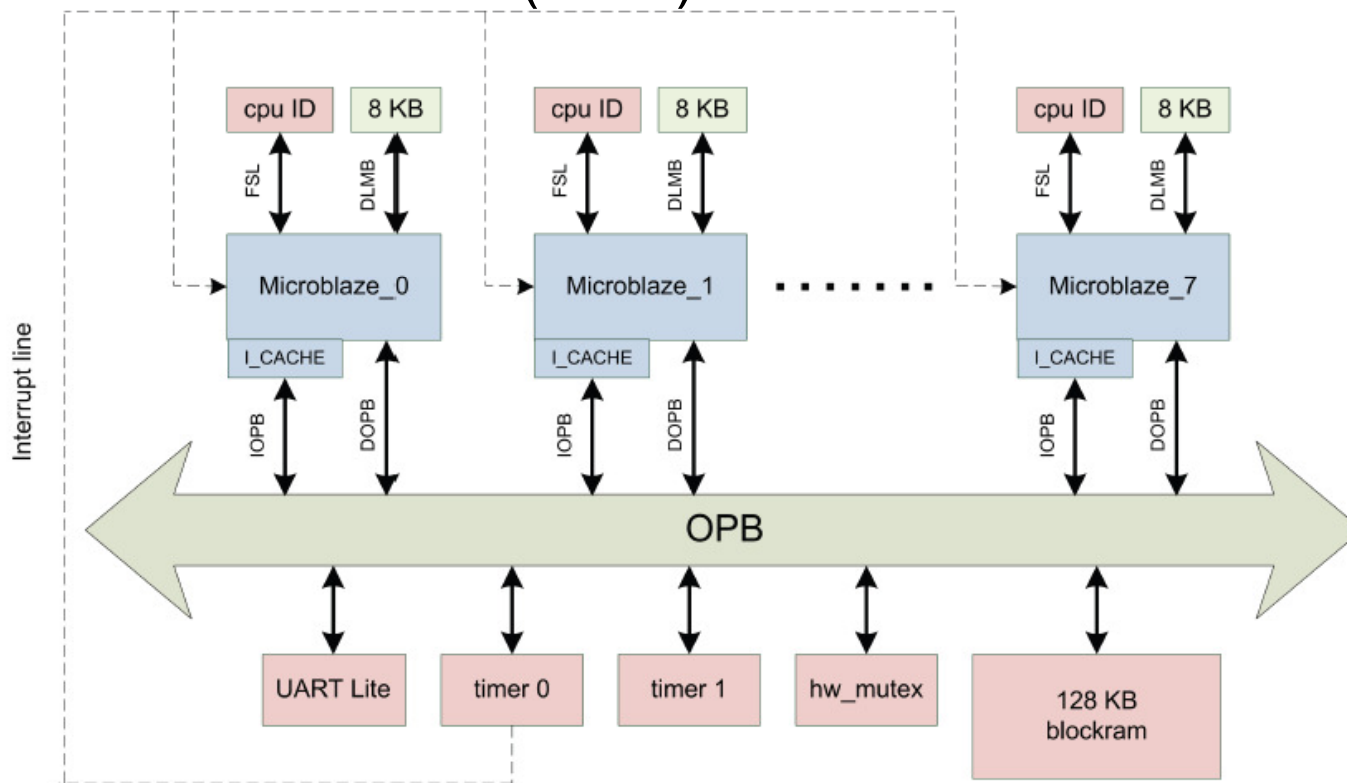


SMP: System 2

- ▶ Bis zu 8 MicroBlaze (4.0a) Softcore Prozessoren
 - ▶ Maximal 8 Prozessoren
 - ▶ Zugriff auf shared memory über OPB
 - ▶ 4Kbytes instruction caches
 - ▶ Privater Speicher über LMB

SMP: System 2

- Bis zu 8 MicroBlaze (4.0a) Softcore Prozessoren

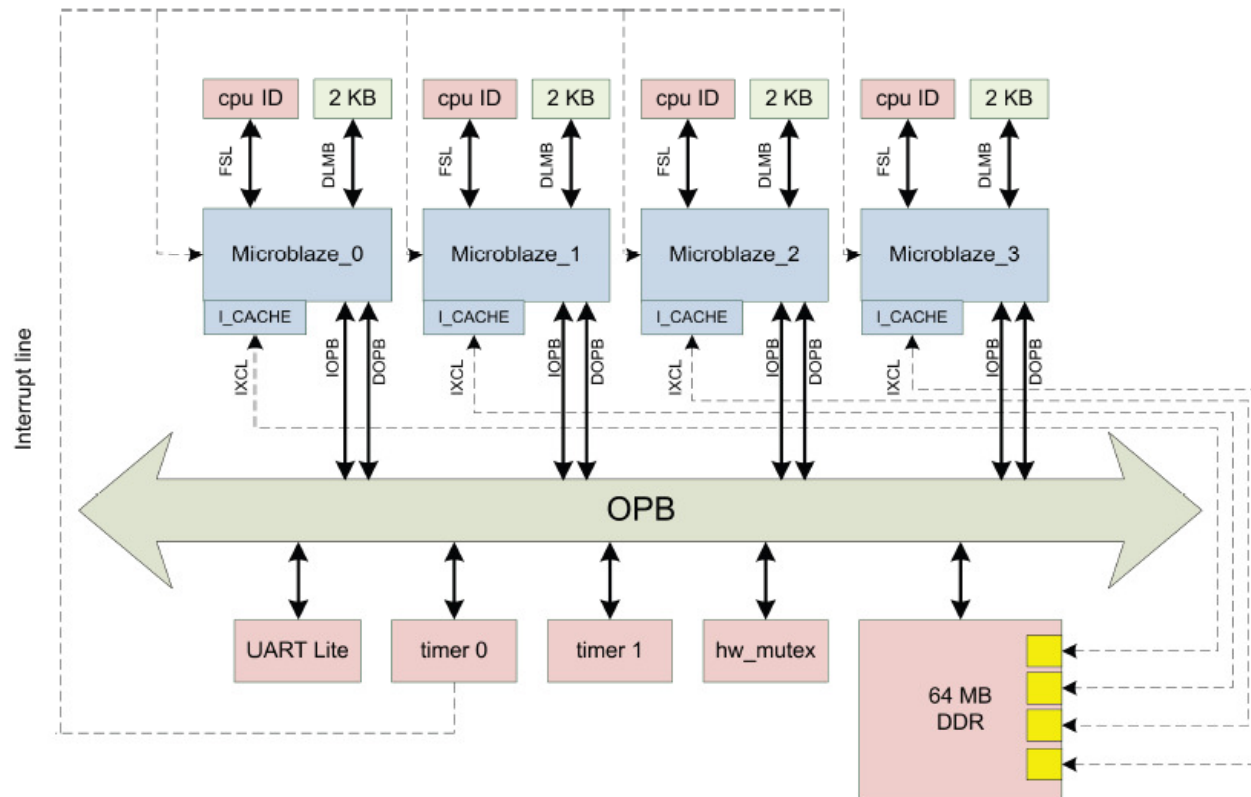


SMP: System 3 & 4

- ▶ Bis zu 4 MicroBlaze (5.0a) Softcore Prozessoren
 - ▶ Verwendung des XCL¹, effizienter als OPB Caching
 - ▶ XCL nur verwendbar mit Memory Controllern
 - ▶ verwendeter Memory Controller nur 4 Schnittstellen
- ▶ Einziger Unterschied: gemeinsamer Speicher
 - ▶ System 3: 1 Mbyte SRAM
 - ▶ System 4: 64 Mbyte DDR RAM

SMP: System 3 & 4

- Bis zu 4 MicroBlaze (5.0a) Softcore Prozessoren



Kriterien des Leistungstests

- ▶ Messung der Leistung
 - ▶ $\text{speedup} = t_1 / t_N$
 - ▶ $\text{efficiency} = \text{speedup}_N / \text{number of slices}_N$
 - ▶ Ressourcenverbrauch nicht proportional zur Prozessoranzahl
- ▶ Erstellung paralleler Applikationen
 - ▶ Parallele Matrix Multiplikation
 - ▶ Parallele Ver- und Entschlüsselung mit AES Algorithmus
- ▶ Hauptprogramme erzeugen einen Thread für jeden Prozessor im System

Ergebnisse

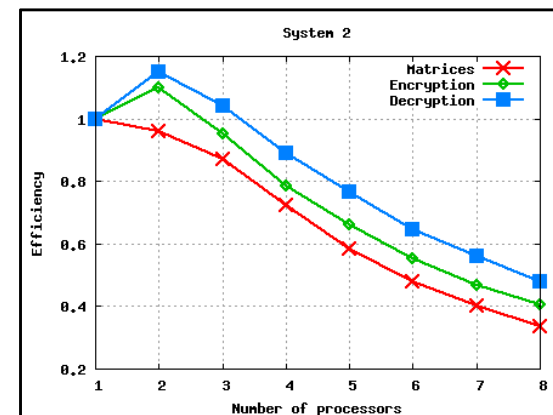
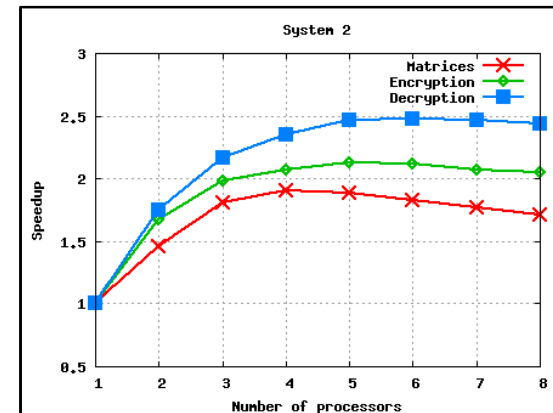
System 1

2 MircoBlaze - Block RAM
Shared memory ohne OPB

	matrix	encrypt	decrypt
Speedup	1.9853	1.9662	1.9809
Efficiency	1.4035	1.3899	1.4003

System 2

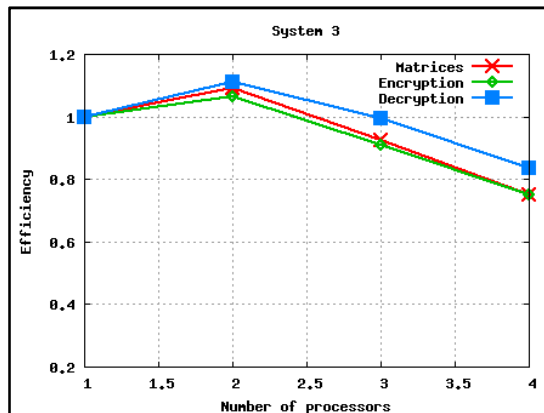
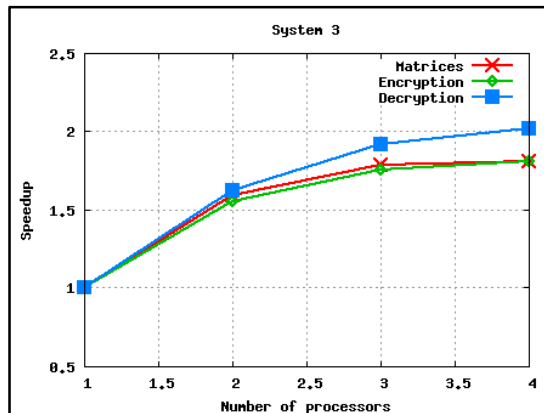
8 MircoBlaze - Block RAM
Shared memory über OPB



Ergebnisse

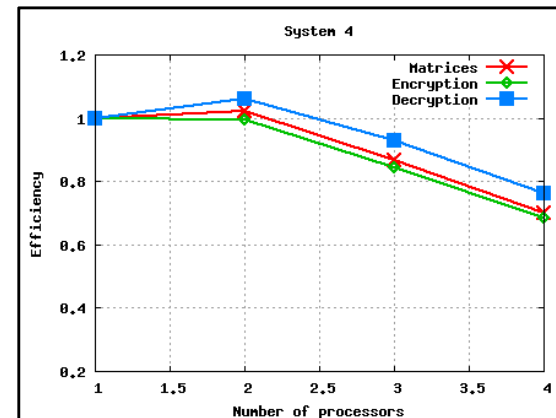
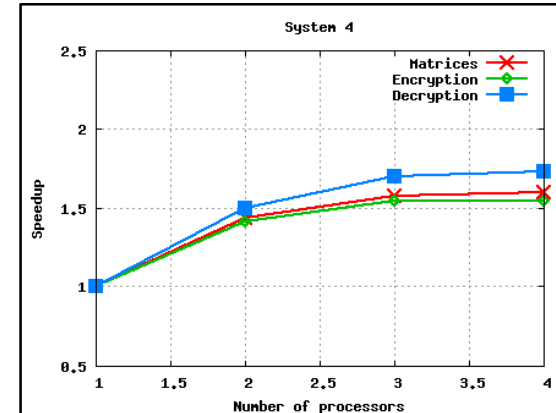
System 3

4 MircoBlaze - SRAM
Shared memory über XCL



System 4

4 MircoBlaze - DDR RAM
Shared memory über XCL

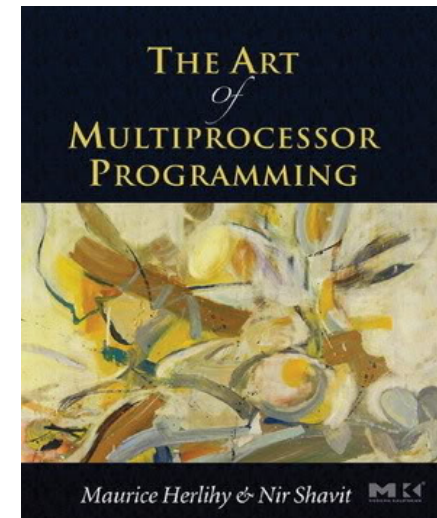


Analyse

- ▶ MPSoC Konfiguration abhängig vom Speicherbedarf der Applikation
 - ▶ Geschwindigkeitsoptimierung nicht proportional zur Anzahl der Prozessoren
 - ▶ Hardwareseitige Optimierungen
 - ▶ Langsamere Speicherzugriffe über OLB
 - ▶ Alternative Kommunikation über Network on Chip
 - ▶ Softwareseitige Optimierungen
 - ▶ Amdahlsches Gesetz
 - ▶ Anforderungen an die Softwareentwicklung
-

Analyse

- ▶ Softwareentwicklung für Multiprozessor Systeme
 - ▶ „The Art of Multiprocessor Programming“^[5]
 - ▶ Prof. Maurice Herlihy, Brown University, Providence
 - ▶ Prof. Nir Shavit, Tel-Aviv University and member of Sun Microsystems Laboratories



Zusammenfassung

Zusammenfassung

- ▶ Übersicht zu aktuellen Forschungsbereichen von Multiprocessor-Systems-on-Chip
 - ▶ Vorstellung einer heterogenen MPSoC Architektur am Beispiel der UV-Setters der Firma *basysPrint*
 - ▶ Aufzeigen der Probleme bei der Erstellung von symmetrischen Multiprozessor Systemen
-

Vielen Dank für Ihre
Aufmerksamkeit.

Literatur

Literatur

- [1] **Dorta, J. und Jimiéz, J. und Matrn, J. und Bidarte, U. und Astarloa A. 2009.** *Overview of FPGA-Based Multiprocessor Systems*. University of the Basque Country, Bilbao, Spain; from IEEE Xplore 978-0-7695-3917-1/09 [Mai 2010]

 - [2] **Joost, R. und Salomon, R. 2005.** *Advantages of FPGA-Based Multiprocessor Systems in Industrial Applications*. University of Rostock, Germany; from IEEE Xplore 0-7803-9252-3/05 [Mai 2010]

 - [3] **basysPrint 2010.** *basysPrint Technology Webpage* [Online]
www.basysprint.com/en/technology [Mai 2010]

 - [4] **Huerta, P. und Castillo, J. und Pedraza, C. und Martinez, J. 2009.** *Symmetric multiprocessor systems on FPGA*. Rey Juan Carlos University, Mostoles, Spain; from IEEE Xplore 978-0-7695-3917-1/09 [Mai 2010]

 - [5] **Herlihy, M. und Shavit, N. 2008.** *The Art of Multiprocessor Programming*. Burlington, MA: Morgan Kaufmann Publishers. 978-0-12-370591-4.
-