

Modellierung einer Fahrspurführung für eine ARM-MPSoC Plattform mit FPGA-Ressourcen

Erik Andresen

24.05.2012

Inhalt

- 1 Überblick zu FAUST-SoC
- 2 Rückblick: Codegenerierung und parallele Programmierung
- 3 ARM-MPSoC Plattform mit FPGA-Ressourcen
- 4 Zusammenfassung

FAUST:

Fahrerassistenz- und Autonome Systeme.

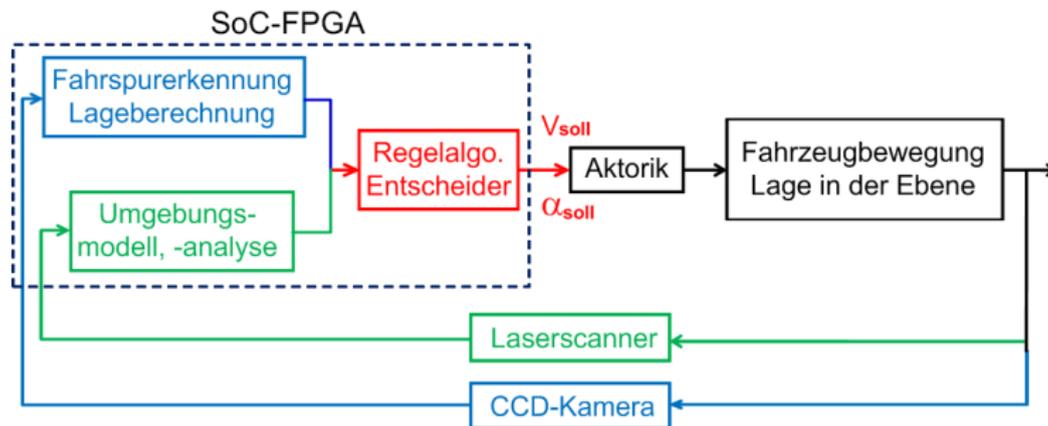
- Ziel: Autonomes Fahrzeug.
- Laptop/PC.
- Software: Wartbarkeit.

FAUST-SoC:

Eingebettete Systeme Technologie.

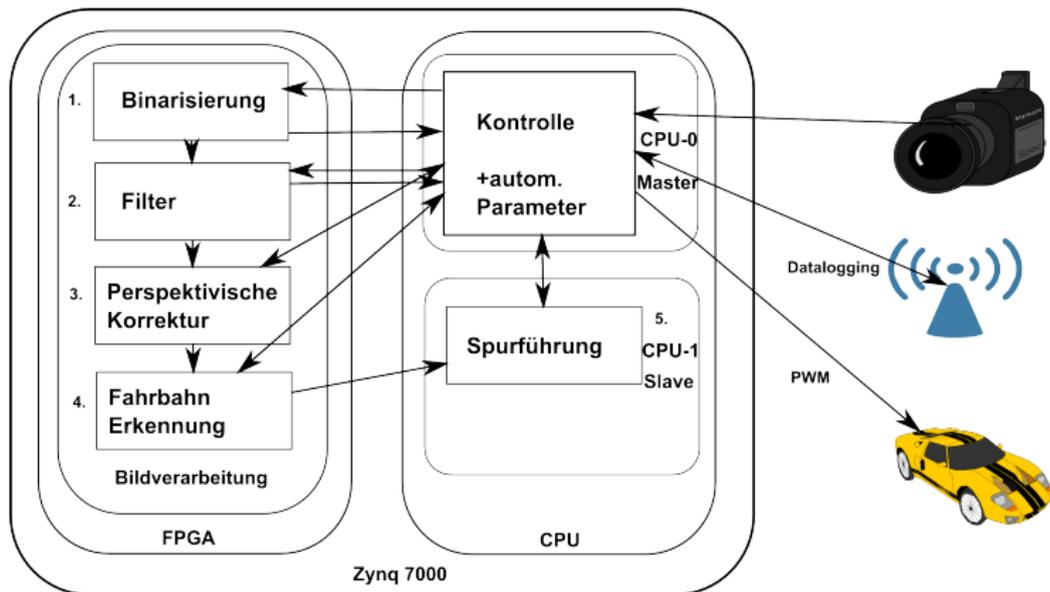
- SoC: FPGA.
- High-Performance Embedded Computing.
- Bildverarbeitung in FPGA.
- Höherer Entwicklungsaufwand.

Erweiterungen



- Kommunikation/Data logging von Betriebsparametern.
- Automatische Reglerparametrierung.
- Entscheider Algorithmus: Fahrspurerkennung oder Ausweichassistent.
- HW/SW Partitionierung.

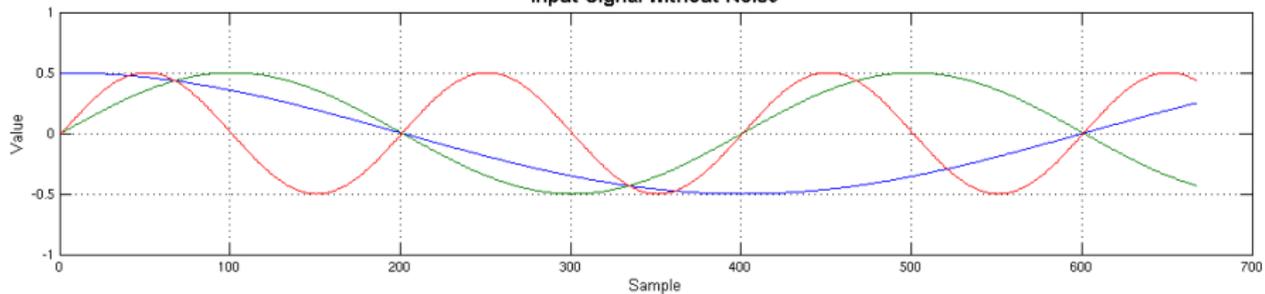
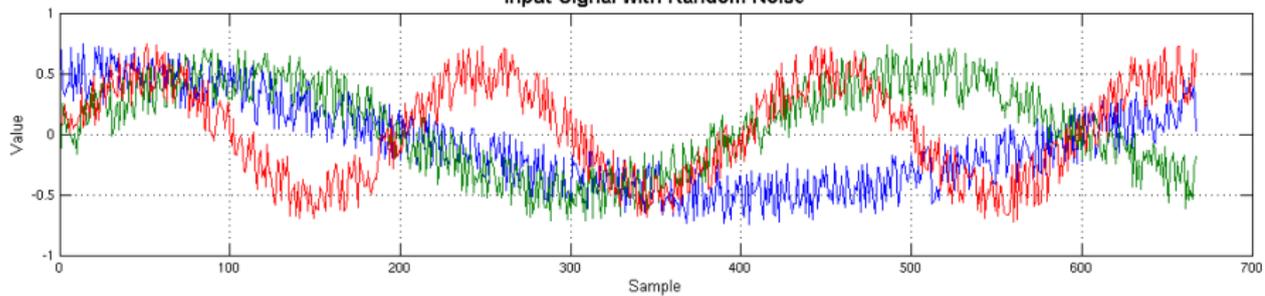
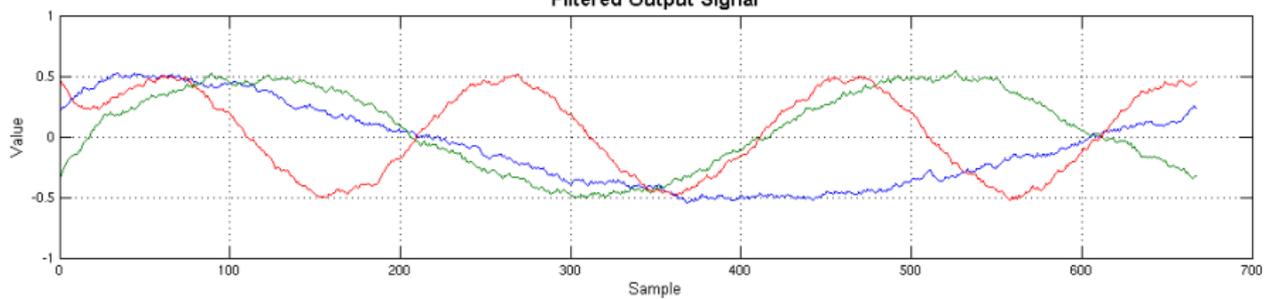
Embedded Plattform mit HW/SW Co-Design



Anwendung 1

Modellierung und automatische Codegenerierung von SoC-Beschleunigermodulen am Beispiel eines Kalman-Filters

- Synthese von mathematische Algorithmen mit AccelDSP aus Matlab-Modellen.
- Kalman-Filter: Objektverfolgung, z.B. Verfolgung einer Fahrspur.
- Realisierung von rekursiver Algorithmen in diskreter Signalverarbeitung.
- Rekonstruktion eines verrauschten Signals.

Input Signal without Noise**Input Signal with Random Noise****Filtered Output Signal**

Anwendung 2

Parallele Programmierung von eingebetteten MPSoC-Plattformen am Beispiel von Spurführungs-Algorithmen

Spurführung:



Verzerrte Fahrspur in Kameraperspektive.

- Fahrspur wird in einer Bildverarbeitungspipeline identifiziert.
- Literaturstudie: Wie schnell darf ich fahren und wie muss ich lenken um einen Weg zu folgen.
- Vergleich von verschiedenen Algorithmen wie Follow-the-carrot, Pure Pursuit..

Parallelisierung in Software:

- Software vs Hardware: Parallelisierung auf MPSoC.
- Skalierung von Multi-Prozessor-Systemen: Amdahl'sche & Gustafson'sche Gesetz.
- Literaturstudie: Parallele Programmierung.
- OpenMP: Parallelisierung durch minimale Änderungen am Quellcode.
- MPI: Nachrichtenaustausch.

Status LEDs

SD/MMC Card Slot

Serial /RS-232

Camera Connector

USB 2.0 OTG

Audio in/out

Power Supply 5V

Power/Reset Buttons

OMAP4430 Processor

Highlights:

1GHz Dual-Core ARM Cortex-A9 MPCore

1080p Video

3D Graphics Accelerator

Memory: 1GB Low Power DDR2 RAM

JTAG

WLAN/Bluetooth

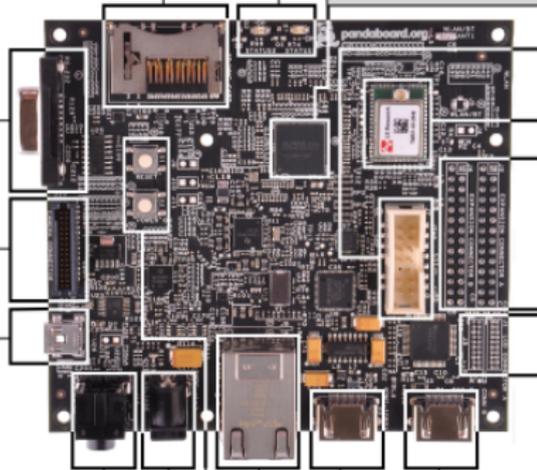
Expansion Connector
PWM

LCD Expansion

DVI Out

HDMI Out (Type A)

10/100 Ethernet & 2xUSB 2.0 Host ports



Board Dimensions: W:4.0" (101.6 mm) X H: 4.5" (114.3 mm)

Bild: Pandaboard.org

Projekt 1 Anschluss von Aktoren.

Portierung der Spurführung auf MPSoC unter Linux und Android.

- PWM-Signal für Antrieb und Lenkung (PWM für Modellbau-Servo-Motoren).
- OMAP4430 hat keine PWM-Peripherie.
- Power-IC: Auf dem Pandaboard: PWM ja, aber n.c.
- OMAP4430: GPTimer-Pins können PWM machen, aber Pins geteilt mit USB.
- PWM in Software von Linux aus: Taktzittern zu hoch.
- PWM in Software mit Cortex-M3: M3 werden für Decodierung des Videostroms der Kamera benötigt.
- Lösung: PWM über AVR Mikrocontroller an I2C.

Projekt 2 Anschluss der Kamera.

- Bisherige Kamera: VGA-Signale.
- USB-Webcam: Delay ~ 150 ms.
- MIPI DSI-2 Interface: Keine Dokumentation.
- Lösung: IP-Kamera mit MP4-Datenstrom über UDP/RTP, 30 FPS.
- Erweiterungen der Software.

Kann der Dual-Core Cortex-A9 die Fahrspurerkennung in 33ms durchführen?

Beschleunigung des Datendurchsatz in Software

Bei rechenintensiven Arbeiten in Software:

- Software optimieren, z.B. OpenMP.
- Compiler-Optionen.
- Betriebssystem konfigurieren.
- Algorithmus optimieren.

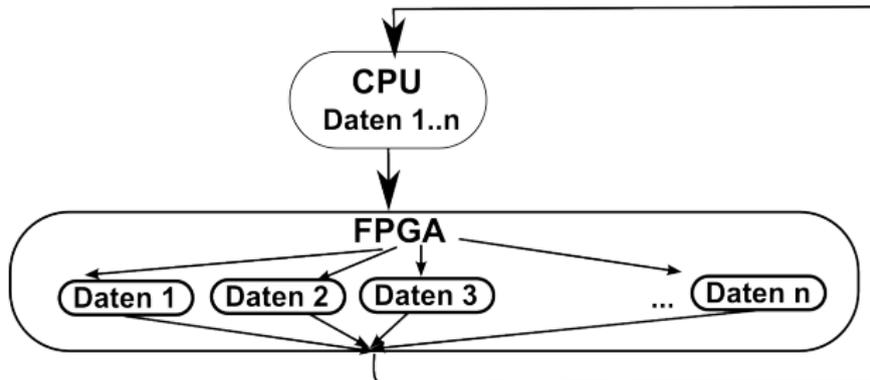
Auslagerung in Hardware

- Cortex-A9 getaktet mit 600MHz.
- FPGA getaktet mit 100 MHz.
- HW/SW Partitionierung.

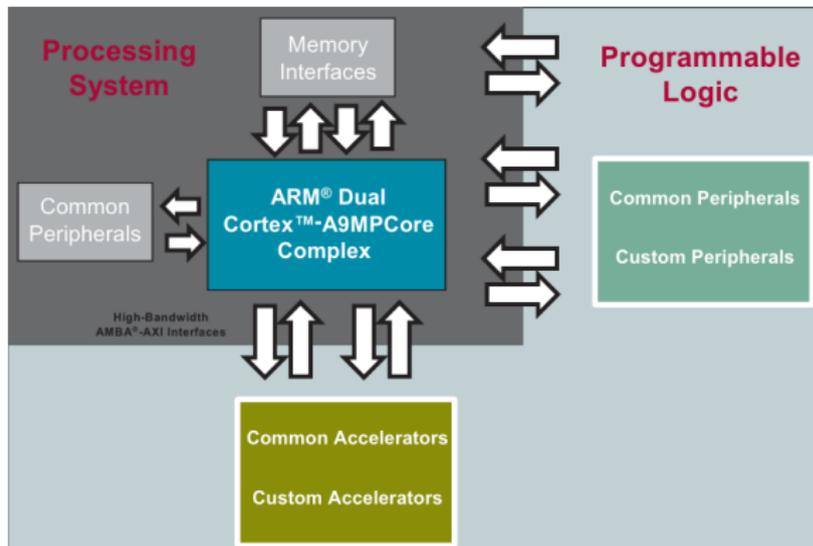
Auslagerung in Hardware

- Cortex-A9 getaktet mit 600MHz.
- FPGA getaktet mit 100 MHz.
- HW/SW Partitionierung.

Parallelverarbeitung:



Zynq 7000 Plattform



- Oft bisher verwendet: ARM + FPGA auf einer Platine.
- Neuer Ansatz EPP: Extensible Processing Platform.
- Vorteile in Performance, Stromverbrauch, Gesamtbetriebskosten; TCO

„Echte Prozessoren“

- 2x Cortex A9 (SMP), ARMv7 Architektur mit 32-Bit Instruktionen.
- je 2x 32KB Level-1 Cache für Instruktionen und Daten.
- je MMU, FPU und NEON (SIMD Media Processing Engine).
- Gemeinsamer Level-2 Cache.
- Prozessor startet zuerst!
- Anstatt Softcore-CPU wie Microblaze: Linux läuft ohne Nutzung von FPGA-Hardware.
- Advanced eXtensible Interface Bus (AXI).
- Snoop Control Unit stellt Datenkonsistenzen der Caches sicher.
- Accelerator Coherency Port (ACP): Snoop Control Unit zwischen CPU und FPGA.

Zynq 7000 Merkmale

- 2x I2C, 2x SPI, 2x CAN, 2x UART, GPIOs.
- 2x Gigabit Ethernet mit DMA.
- 2x USB 2.0 mit DMA.
- Standard ARM-Tools: Entwicklungsumgebung DS-5, GNU-Compiler, Lauterbach, ...
- RTOS: Micrium μ C/OS-III, FreeRTOS, (QNX), (T-Kernel), ..
- High-Level Operating System: Linux, Android, MS-Windows Embedded Compact 7, ...
- SMP oder 1x RTOS, 1x High-level.

ARM DS5 Debugger

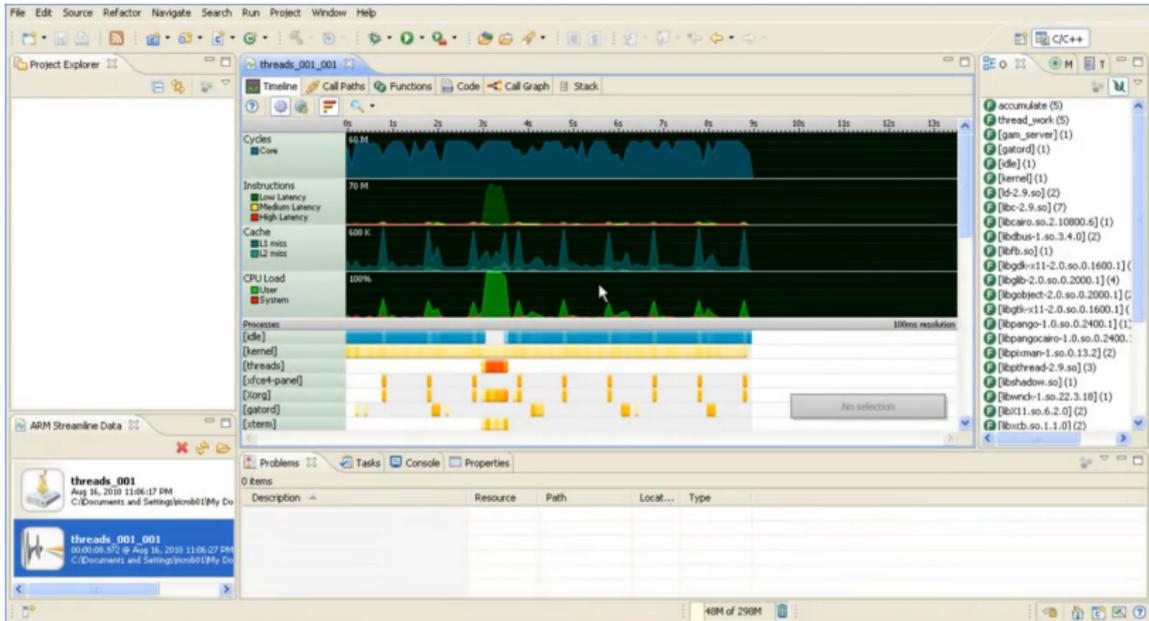


Bild: ARM

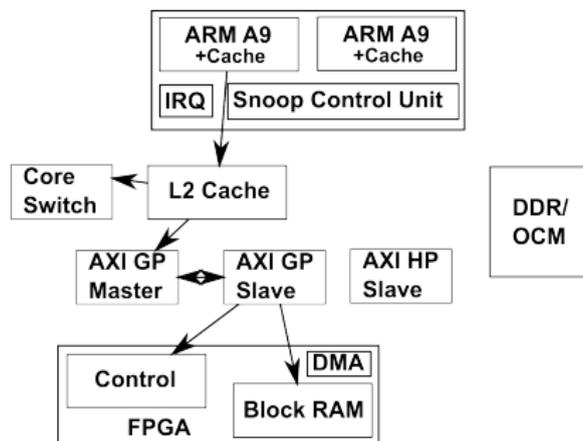
Modellierung für Zynq 7000

- 1 Portierung auf Cortex-A9, Pandaboard bis Zynq verfügbar.
- 2 Wahl des Betriebssystems: Linux oder RTOS.
- 3 Neue Debug-Methode: Livestream über W-LAN.
- 4 HW/SW partitionieren.

Beschleunigungs-Technologien

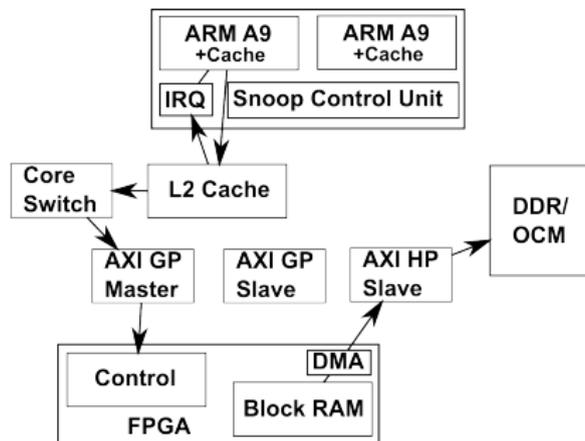
- im FPGA: RTL.
- Matlab Simulink, Xilinx System Generator.
- Limits: I/O Rate, Ressourcen, Latenz.
- Koprozessor.
- HW-Beschleuniger.
- Wie beschleunigen?

Beschleunigung über CPU



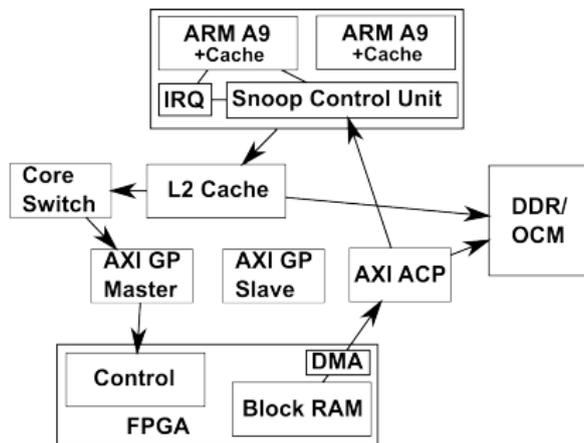
- CPU kopiert Daten in/von FPGA Speicher.
- Einfache Implementierung.
- Geringer Durchsatz.
- Kontrollfunktionen.

DMA via AXI High-Performance Interface



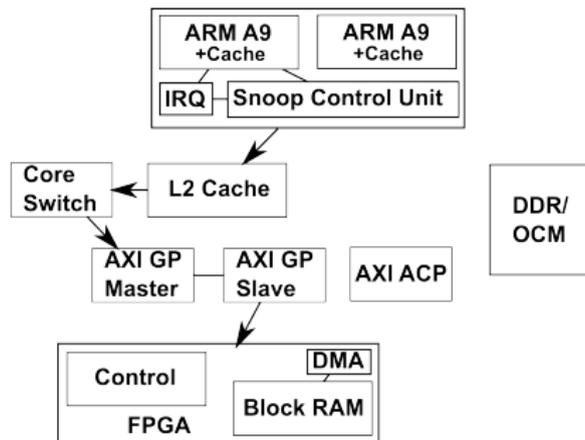
- AXI-HP mit DDR und On-Chip-Memory verbunden.
- FIFO für Kontrollfluss.
- Höhere Latenz durch Arbitrer.
- AXI Anbindung belegt FPGA Ressourcen.
- Benachrichtigung durch Interrupt.
- Optimal für große Video-Datenströme.

DMA via AXI ACP



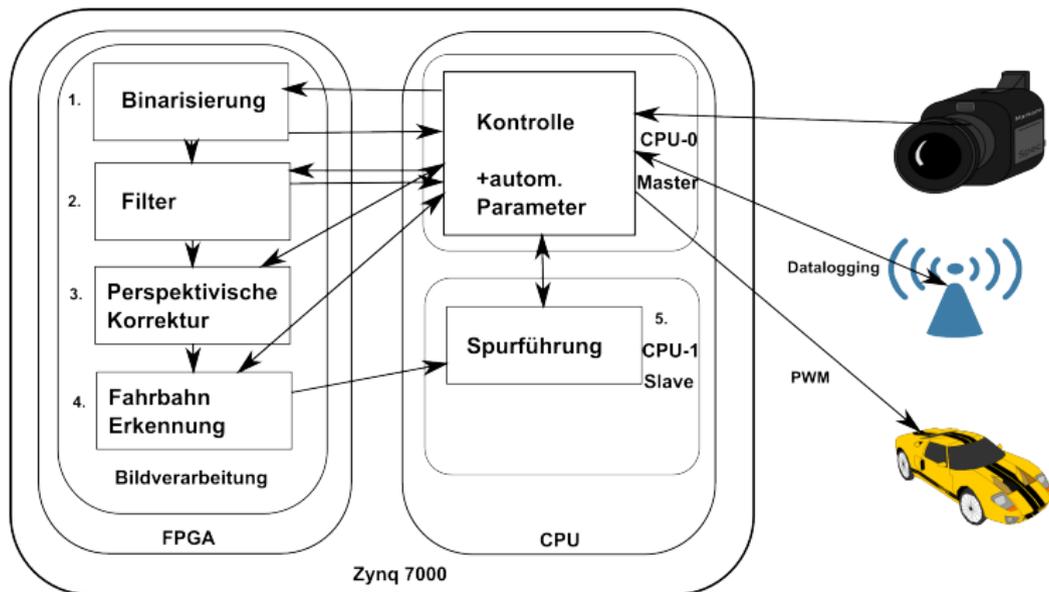
- AXI-HP mit Cache L1 und L2 verbunden.
- Geringe Latenz.
- AXI Anbindung belegt viele FPGA Ressourcen.
- Durch Cache Zugriffe des FPGA geringere CPU-Performance möglich.
- Optimal für kleinere Datenmengen.

PL DMA via General Purpose AXI Slave

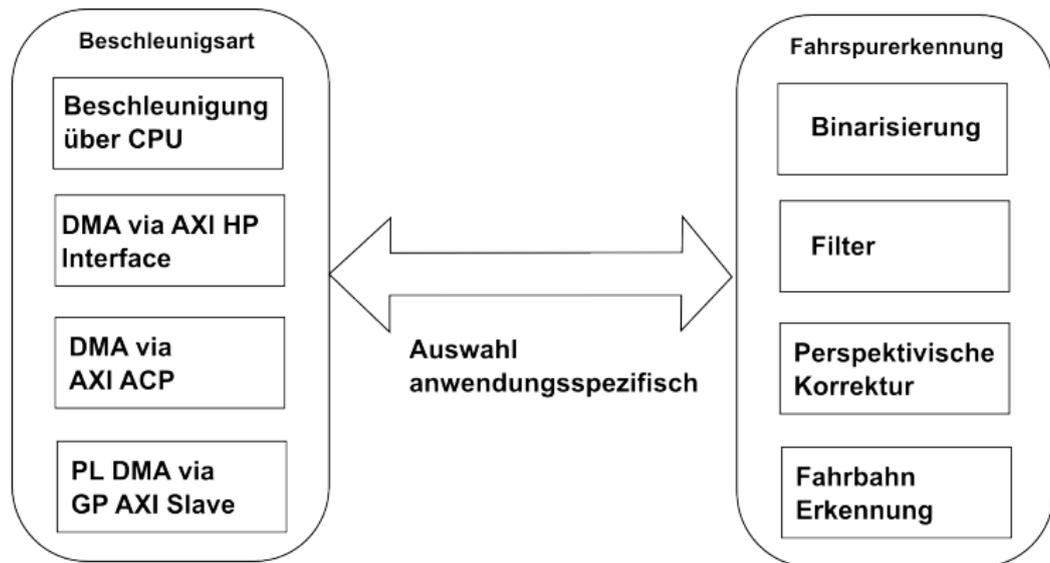


- 32 Bit Interface mit DMA.
- Für Register im Prozessor.

Embedded Plattform mit HW/SW Co-Design



Auswahl der Beschleuniger



Risiken

- Zynq-Plattform voraussichtlich ab Sommer 2012 verfügbar.
 - Pandaboard
 - Emulation mit QEMU oder Cadence Zynq-7000 EPP Virtual Platform.
- Software/Hardware-Tools noch nicht erprobt.



Bild: Xilinx

- Treffen der Auswahl.

Zusammenfassung

- Autonomes Fahrzeug.
- Eingebettetes MPSoC System.
- Bis Plattform verfügbar: Pandaboard wegen baugleichem Prozessor.
- Beschleunigung durch Parallelverarbeitung im FPGA.
- Wie HW/SW partitionieren.
- Vergleich mit Microblaze-Lösung

Literatur

- Xilinx DSP Magazine #1 (2005). - <http://www.xilinx.com/publications/>
- Christian Schneider: „Ein SoC-basiertes Fahrspurführungssystem“, HAW Hamburg, Bachelorarbeit, 2011.
- Marco Kirschke: „FPGA-basierte MPSoC-Plattform zur Integration eines Antikollisionssystems in die Fahrspurführung eines autonomen Fahrzeugs“, HAW Hamburg, Masterarbeit, 2012.
- Pandaboard: <http://pandaboard.org/>
- Zynq 7000 QEMU Modell: <http://wiki.xilinx.com/zynq-qemu>
- Zynq 7000 Produktseite: <http://www.xilinx.com/zynq>
- Zynq 7000 Handbuch:
http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf