Multiprozessor System on Chip

INF-M1 AW1-Vortrag

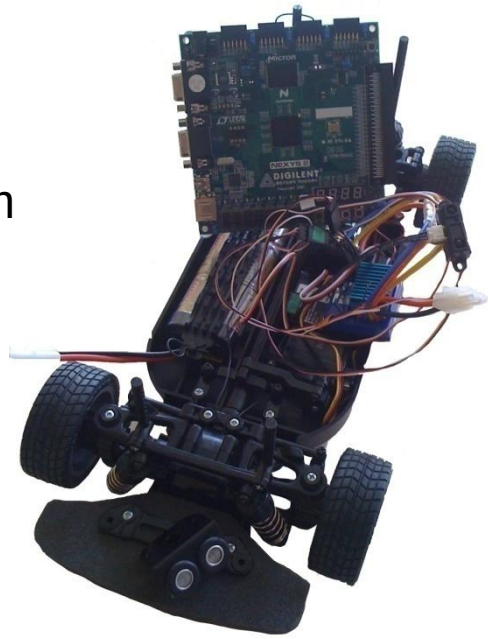
Heiko Bordasch

25. November 2009

Übersicht

Motivation & Ziele

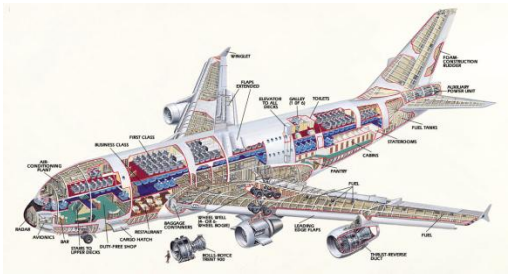
- FAUST Projekt „High Performance Embedded Computing“
- Aufbau einer MPSoC basierten Fahrzeugsteuerungsplattform
- Einsatz von Multiprozessoren bei der Fahrspurerkennung
- Teilnahme am Carolo Cup für autonome Fahrzeuge



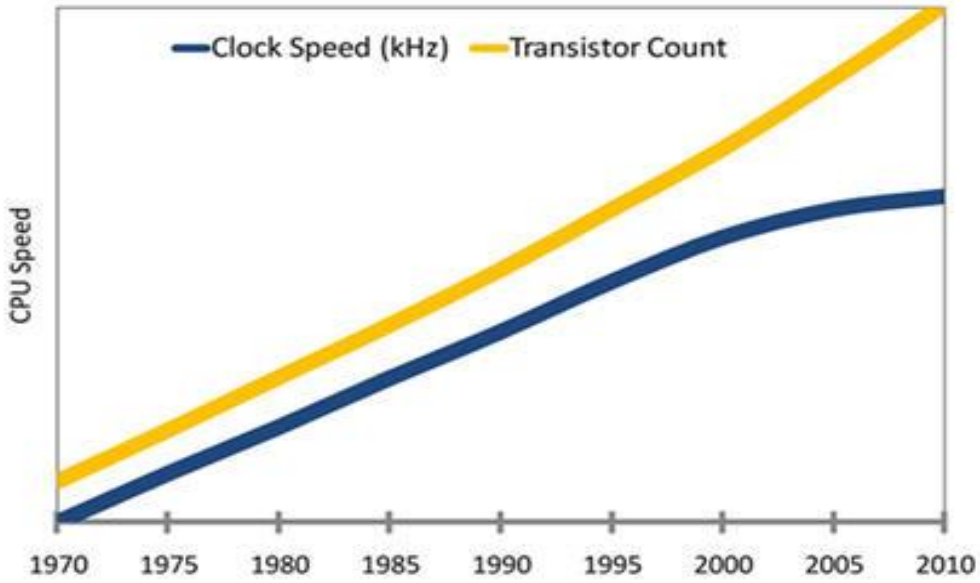
FAUST
Fahrerassistenz- und autonome Systeme

Carolo-Cup

Einsatz von System on Chip Systemen



Motivation Multicore - Mooresches Gesetz



[NI 2008]

- G. Moore: „Alle 2 Jahren verdoppelt sich die Anzahl der Transistoren pro Chip“
- Heute: Gleichbleibende Taktfrequenz bei steigender Transistoranzahl
- Speicherzugriffszeiten wachsen langsamer als CPU-Geschwindigkeiten

Warum Multiprozessor System on Chip?

- High Performance Embedded Computing

→höhere Leistung bei niedrigeren Taktfrequenzen

- hoher Energiebedarf und steigende Wärmeabgabe bei Singlecores

→Leistungssteigerung bei Verringerung des Energiebedarfs (Spezialisierung)

- Echtzeitanforderungen bei hohen Datenraten

→Video- und Audioanwendungen oder Fahrerassistenzsysteme

Forschung – Wer macht was ?

- Marktführer FPGAs

- Interuniversity Microelectronics Centre (Belgien)

- MPSoC Forum (jährliche Konferenz)
- Forschungszentrum Informatik (Karlsruhe)

Grundlagen

Multiprozessoren

Multiprozessoren

Homogene Multiprozessoren

- Identische Prozessoren → weit verbreitet, da einfacher zu entwickeln

- kein Effizienz Optimum → hoher Speicherbedarf / schlechte Performance

Heterogene Multiprozessoren

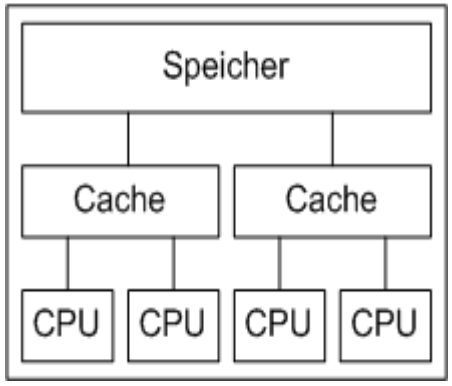
- Unterschiedliche Prozessoren mit spezifischen Aufgaben

- bessere Performance durch Spezialisierung

- hoher Entwicklungsaufwand → noch selten verbreitet

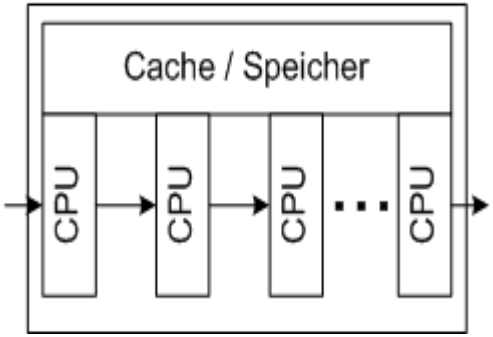
Multiprozessor Architekturen

Hierarchisches Design



- 1..n Prozessoren teilen mehrere Caches
- Zugriff auf gemeinsamen Hauptspeicher
- Typisch bei Server Konfigurationen (z.B. Intel Core 2)

Pipeline Design



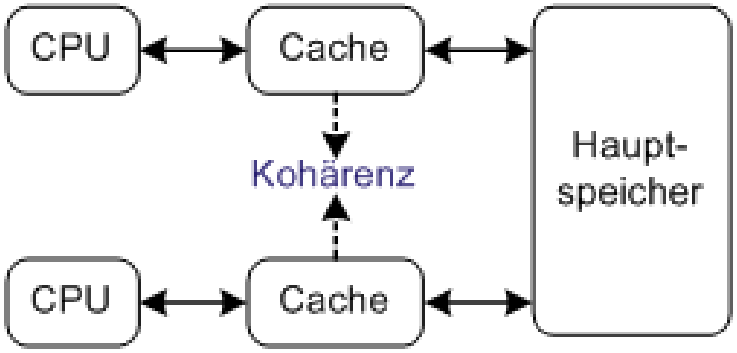
- schrittweise Weiterverarbeitung der Daten
- jeder Prozessor hat spezifische Aufgabe
- Einsatz in Grafikchips oder Netzwerk-Prozessoren

Kommunikationsmechanismen zwischen Prozessoren

- Shared Memory mit Synchronisation
- Message Passing bei verteilten Speichersystemen (FIFO)
- Direkte Kommunikation über Bussystem
- Kommunikation über Network on Chip Strategien (Zukunftsperspektive)

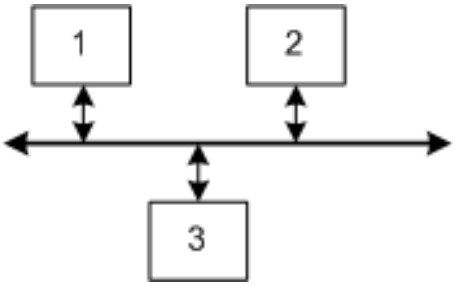
Problem bei verteilten Caches:

→ Cache-Kohärenz

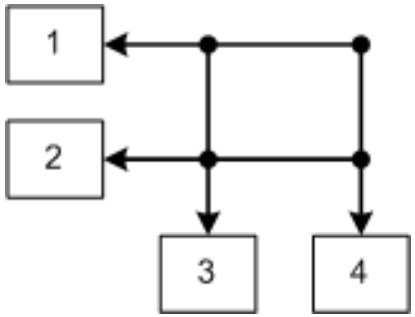


Topologien von Multiprozessoren

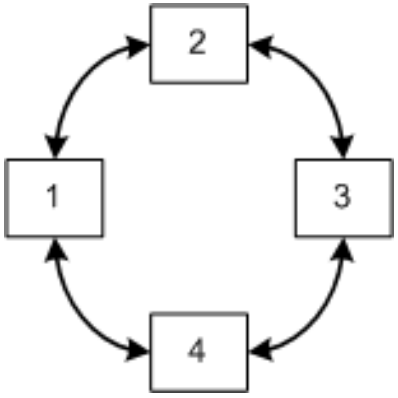
Bussystem:



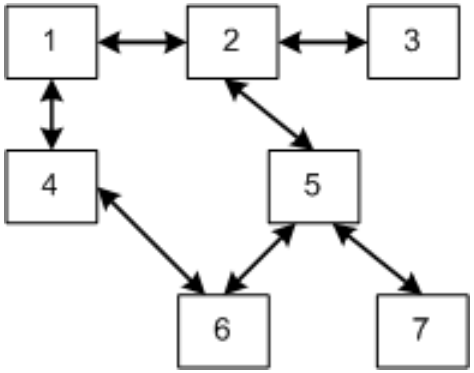
Crossbar:



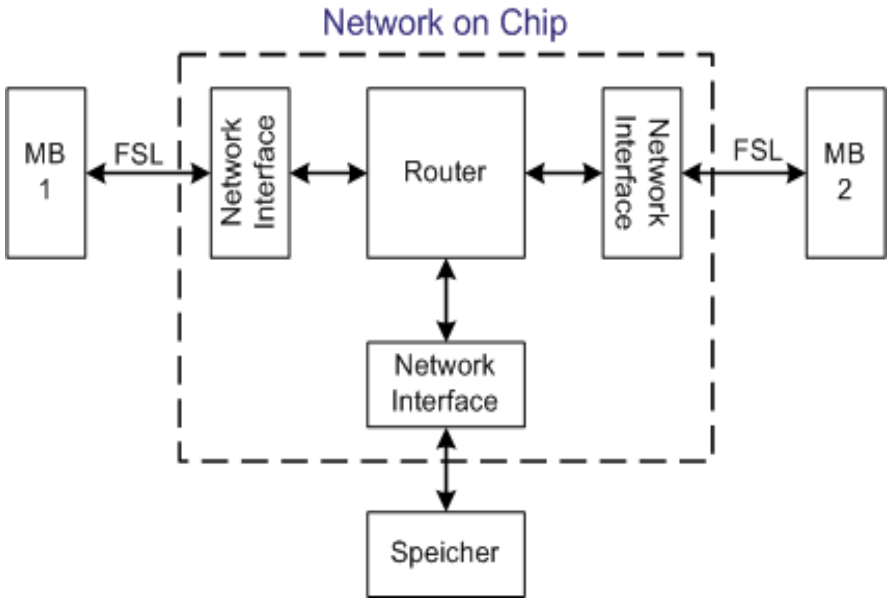
Ring:

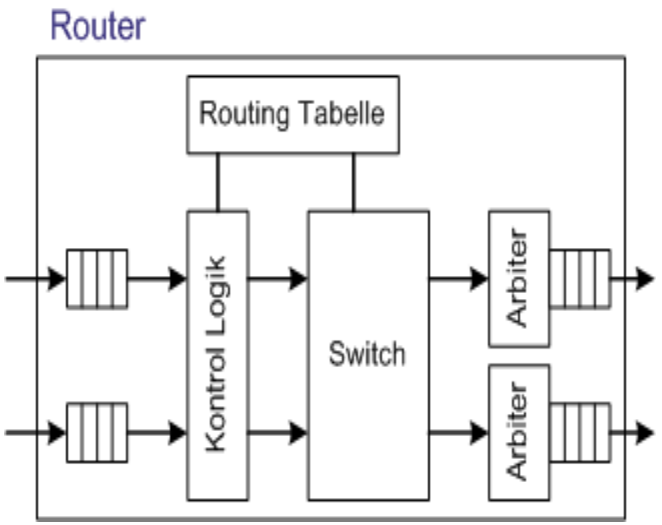


Mesh:



Zukunftsperspektive: Network on Chip

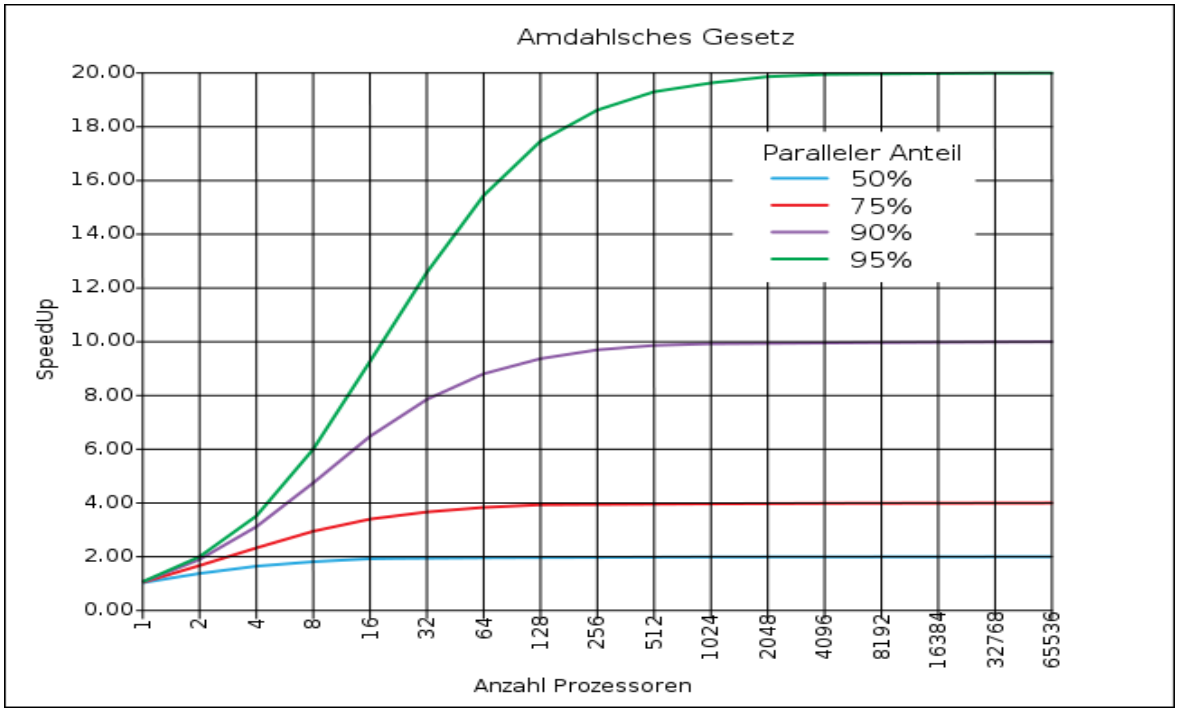




[IEEE 2008]

- Embedded Router mit Routingtabelle → Datenheader enthält Zieladresse
- Meist verwendeter Routing Algorithmus → Dimension-Ordered-Routing

Problem: Amdahlsches Gesetz



[Multicore, 2008]

- Ein Programm kann nie vollständig parallel ausgeführt werden.
- Geschwindigkeitszuwachs hängt zunehmend vom sequentiellen Programmteil ab

Multiprozessoren

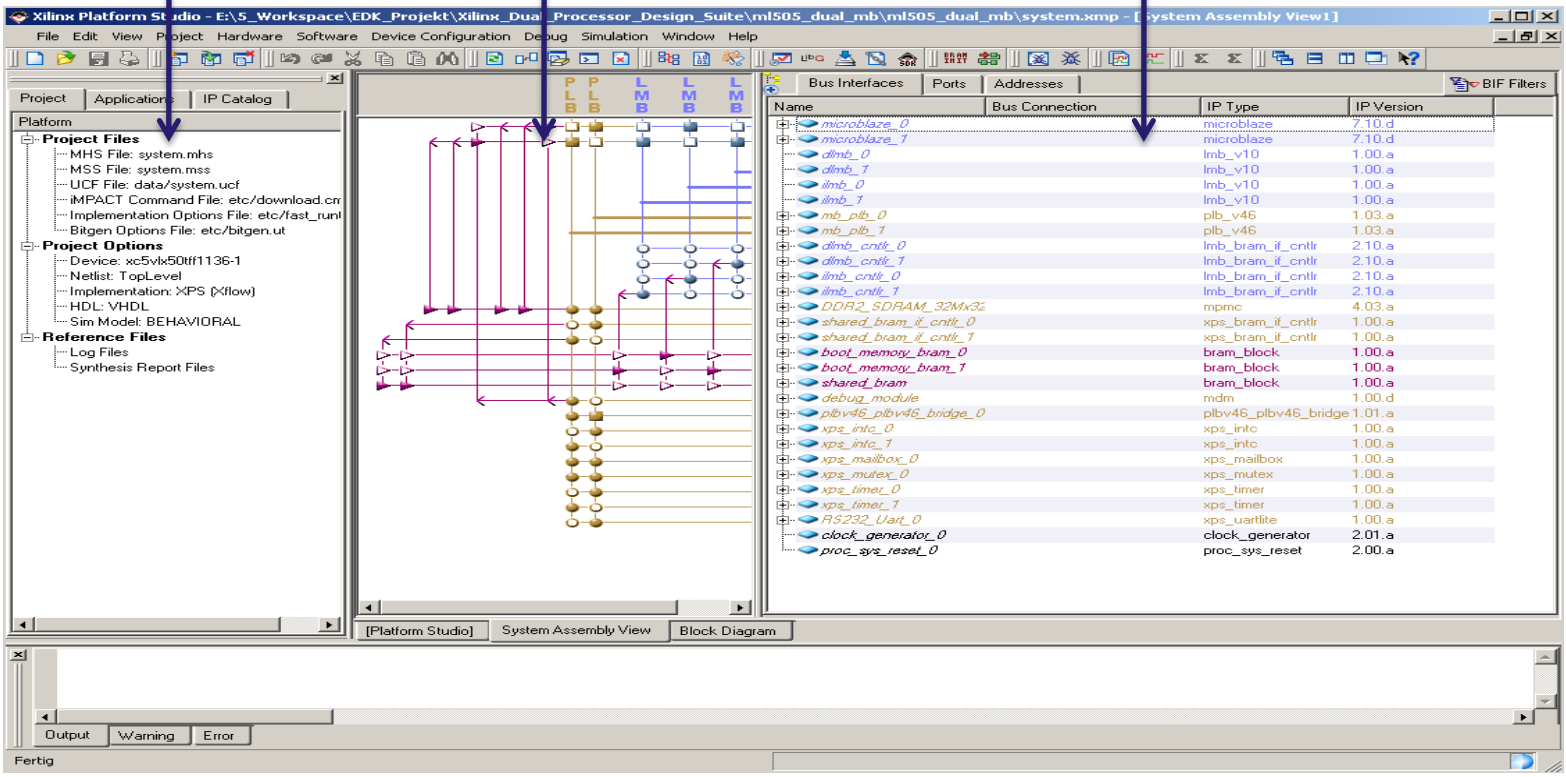
Xilinx EDK

Xilinx Embedded Development Kit (EDK)

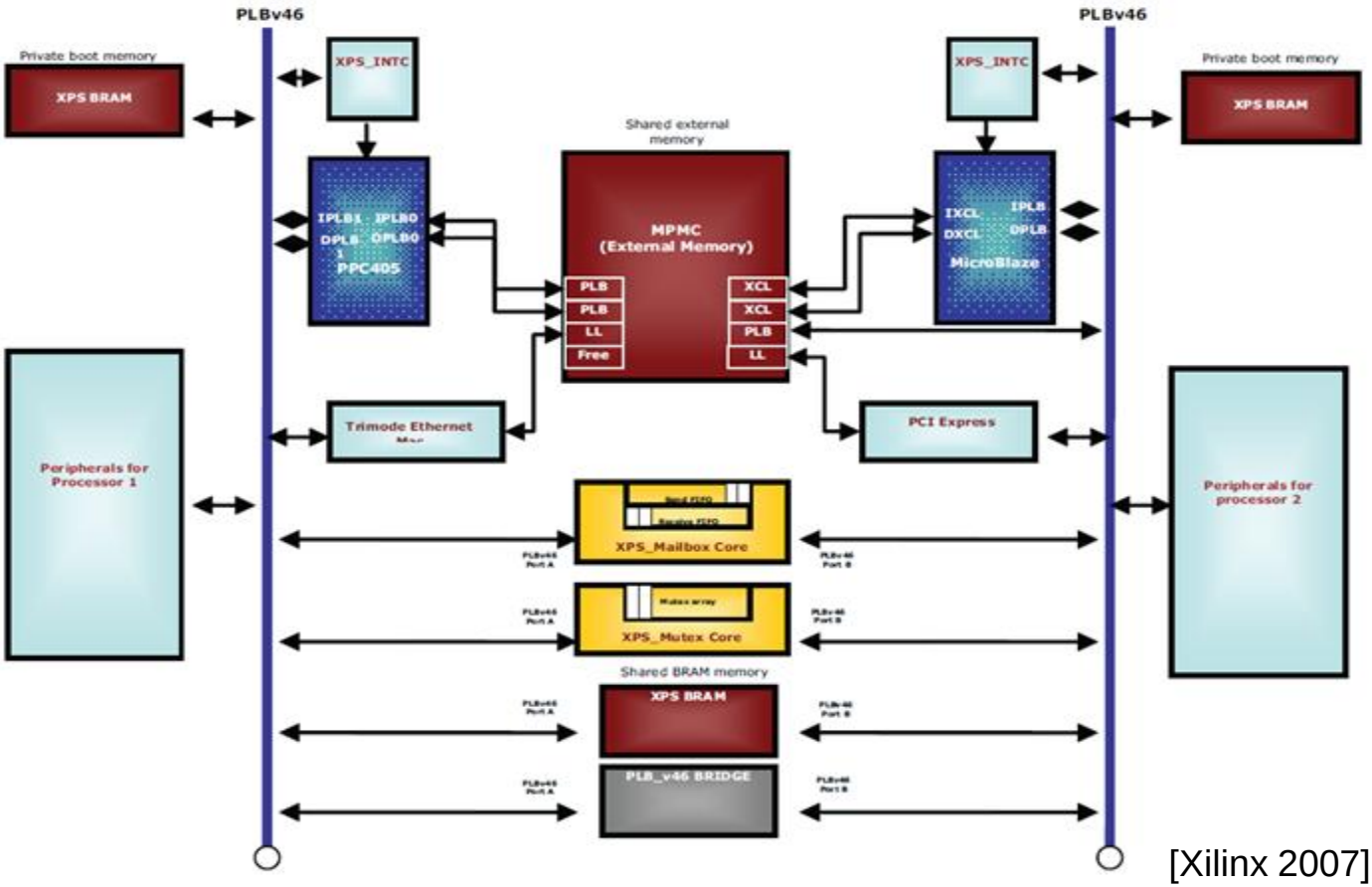
Project Area

Connectivity Panel

System Assembly View



Xilinx Multiprozessor System



[Xilinx 2007]

Multiprozessor Systeme mit Xilinx EDK

- direkte Kommunikation der MB auf Registerebene über Fast Simplex Link
- geteilter externer Speicher über MPMC mit 8 Ports → max. 4 Prozessoren
- geteilter interner BRAM über Local Memory Bus (LMB) → max. 2 Prozessoren
- Kein Support für Cache Kohärenz → Software Design
- getrennte Bussysteme für High- und Low Performance Prozessoren

Xilinx Interprozesskommunikation und Synchronisation

XPS Mailbox IP

→ Zwei getrennt konfigurierbare FIFOs für Sender und Empfänger

→ Synchron mit Polling oder asynchron durch Interrupts

XPS Mutex IP

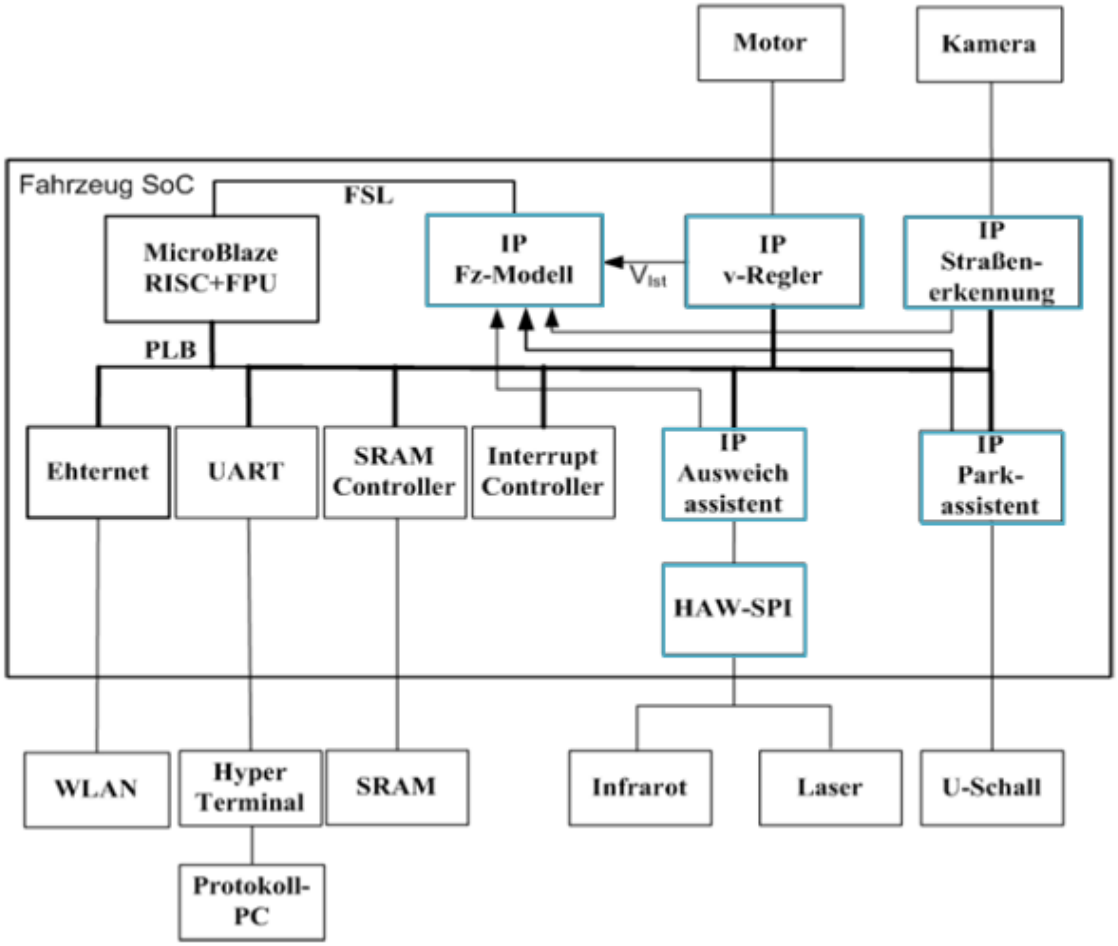
→ konfigurierbare Anzahl an Mutexregistern für „Lock“ und „Unlock“

→ MicroBlaze unterstützt keine atomaren Operationen

Ausblick

FAUST SoC Fahrzeug

Zielsystem: Autonomes FAUST SoC Fahrzeug



Trennung von Realtime und Non-Realtime IPs

- Getrennte Bussysteme
- Getrennte MicroBlazes
- eventuell getrennte Boards

Aufgaben bei der Fahrspurerkennung

1. Aufnehmen und Einlesen des Bildes (30 Frames per Second)
2. Binarisierung und Filterung
3. Bildanalyse → Kantendetektion
4. Fahrspurerkennung → Geradenerkennung mit Hough Transformation
5. Reaktionsverhalten und Datentransfer → Steuersignale

Aufgaben der Fahrspurerkennung könnten von mehreren MicroBlazes in einer Pipeline Architektur erledigt werden.

Zukunft und Ziel

Aufbau einer FPGA basierten Multiprozessorplattform (MPSoC)

→Teilnahme am Carolo Cup 2011

Einsatz von MPSoC System auf autonomen Fahrzeug (FAUST)

→Trennung von Realtime und Non-Realtime Systemen

Erprobung von SW-Konzepten für parallele Mikroprozessoren

→Threadbasierte Parallelisierbarkeit von Software mit OpenMP

Vielen Dank für Ihre Aufmerksamkeit

Fragen ?

Literaturverzeichnis

[1] Instrument, N. (2008). *NI Developer Zone*. Von http://zone.ni.com/dzhp/app/main abgerufen

[2] Jerraya, A. A., & Wolf, W. (2005). *Multiprocessor Systems-on-Chips.* Elsevier Verlag.

[3] S.Lukovic, & L.Fiorin. (2008). *An Automated Design Flow for NoC-based MPSoCs on FPGA.* IEEE Paper.

[4] S.W.Keckler, K.Olukotun, & H.P.Hofstee. (2009). *Multicore Processors ans Systems.* Springer Verlag.

[5] T.Rauber, & G.Rünger. (2008). *Multicore: Parallele Programmierung.* Springer Verlag.

[6] Xilinx. (2007). *Designing Multiprocessor Systems in Platform Studio.* Xilinx White Paper.

[7] Xilinx, & Asokan, V. (2008). *Dual Processor Reference Design Suite .* Xilinx Application Note.

Flynnsche Klassifizierung

MISD (Multiple Instruction Single Data)

→1..n Rechenressourcen führen verschiedene Befehle auf dieselben Daten aus

SIMD (Single Instruction Multiple Data) - Vektorprozessoren

→1..n Rechenressourcen führen einen Befehl auf mehrere Daten aus

→1 Befehl wird auf verschiedene Eingangsströme mit mehreren CPUs ausgeführt

MIMD (Multiple Instruction Multiple Data) – Cluster Computer / Multiprozessoren

→1..n Rechenressourcen führen verschiedene Befehle auf mehrere Daten aus

→ Jede Prozessor hat Zugriff auf die Daten der anderen Prozessoren