

# Network on Chip

## Routing & Switching

AW2-Vortrag

Heiko Bordasch

19. Mai 2010

# Übersicht

---

1. Einleitung und Motivation
2. Network on Chip (NoC)
3. Related Work
  1. KAIST BONE
  2. NXP  $\mathcal{A}$ Ethereal
  3. Philips Nexperia™ PNX8550 mit  $\mathcal{A}$ Ethereal
4. Ausblick

## Motivation & Ziele

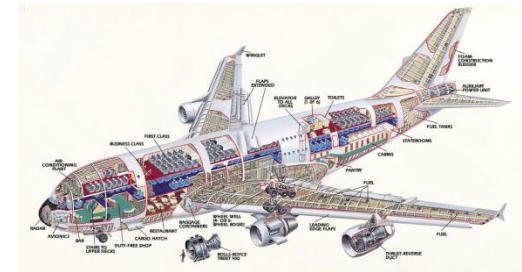
---

- FAUST Projekt „High Performance Embedded Computing“
- AW1 – Multiprozessor System on Chip
- Einsatz von NoC auf einer MPSoC basierten Fahrzeugplattform
- Technologiedurchdringung im Themenbereich Multicore- $\mu$ C-Systeme

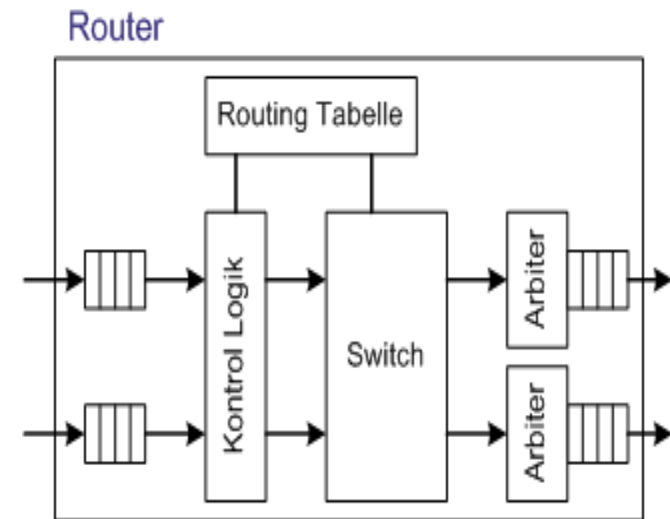
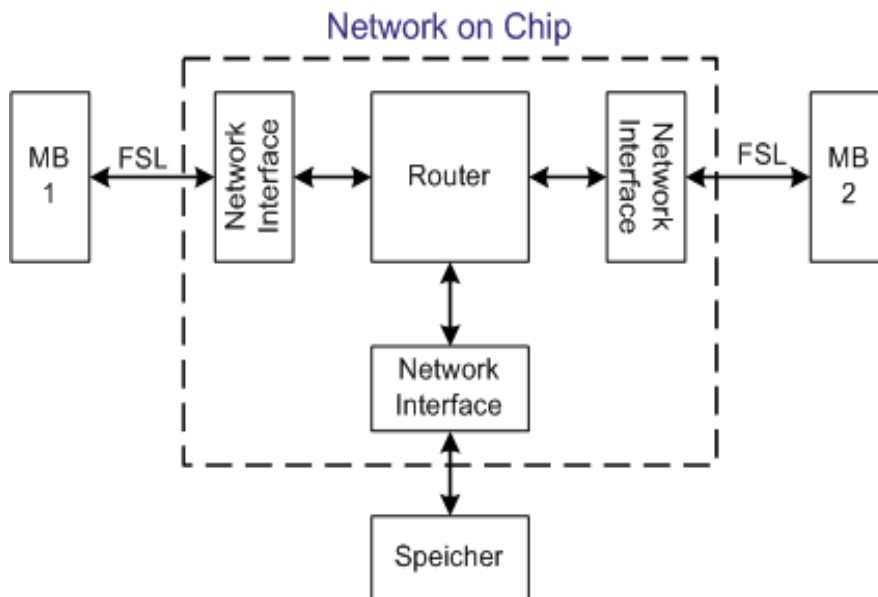
**FAUST**  
Fahrerassistenz- und autonome Systeme



# Einsatz von MPSoC Systemen mit NoC Kommunikation



## Network on Chip - Kernelemente



[IEEE 2008]

- NoC Kernelemente: Netzwerk Interface und NoC Router mit Switch
- Open Core Protocol (OCP) → Socket Netzwerk Interface

## Network on Chip – Kernaspekte der Forschung

---

- Kommunikationsinfrastruktur
  - **Topologie**, FIFO Buffer Größe, Clock Domains
- Kommunikationsmechanismen
  - **Routing & Switching**, Flow Control, QoS, **Netzwerk Interfaces**, OCP
- Anwendungsentwicklung und Benchmarking
  - Scheduling, Mapping, Simulation, Laufzeit Optimierung

[1]

## Warum Network on Chip in MPSoC Systemen?

---

High Performance Embedded Computing (Realtime MPSoC)

→ Höhere Leistung bei niedrigeren Taktraten: Energieeffizienz

Bessere Performance durch Erhöhung der Parallelität

→ Geteilte Signalleitungen ermöglichen simultane Bearbeitung: Kein Bussystem

Steigende Anzahl an IP Blöcken in SoC Systemen

→ Komplexe On-Chip Verbindungen ermöglichen Skalierbarkeit

# Related Work



## Network on Chip Lösungen

---

### Kommerzielle NoC Lösungen

- Arteris → FlexWay und FlexNoC (eingesetzt bei Thales und NEC)
- Sonics → Sonics® SMART Interconnect™ Solutions
- Silistix → CHAIN™ works
- NXP → **A**Ethereal (eingesetzt bei Radio Digital Automotive Chips)

### Akademische NoC Lösungen

- KAIST → **B**ONE 1-3 und FONE
- Univ. Bologna → NetChip und xPipes Compiler
- Princeton Univ. → ORION 2.0 NoC Simulator

## KAIST – Basic On-chip Network BONE

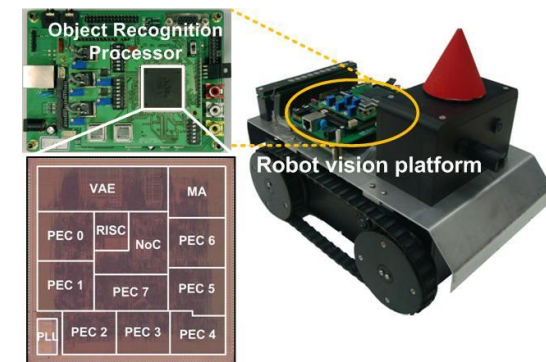
- Entwickelt 2002 durch Korea Advanced Institute of Science and Technology (KAIST)
- Akademisches Forschungsprojekt ohne kommerziellen Einsatz
- Ziel: „Mobile robot vision system with real-time object recognition processor“
- Verschiedene BONE 1-4 Implementierungen

→ PROTON

→ Slim-Spider

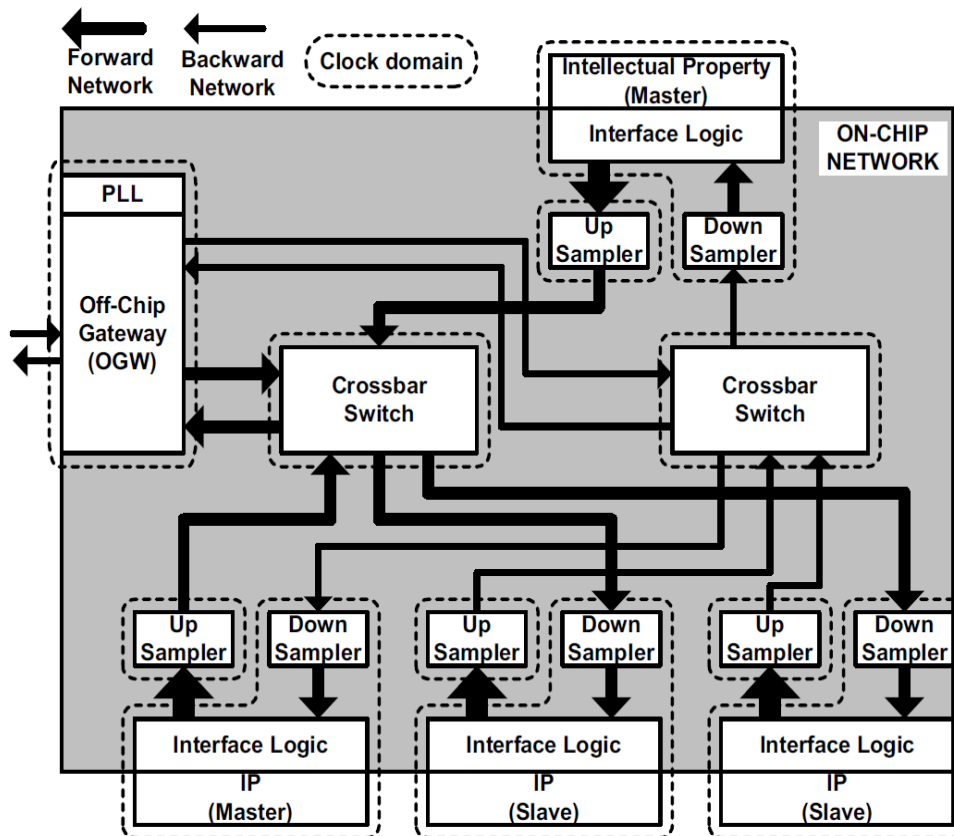
→ FONE

→ PREONE



[4]

## PROTON BONE-1 Architektur

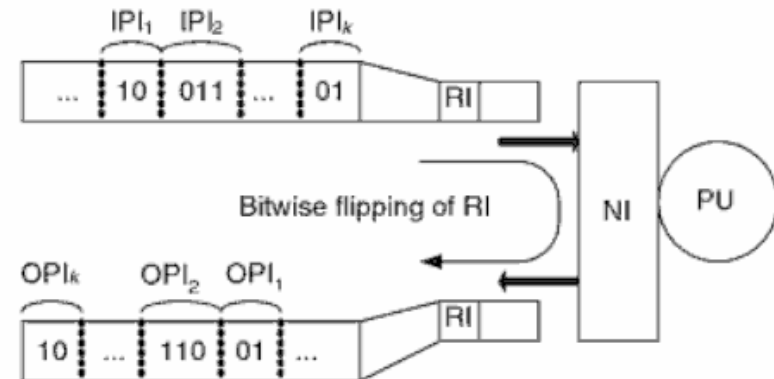
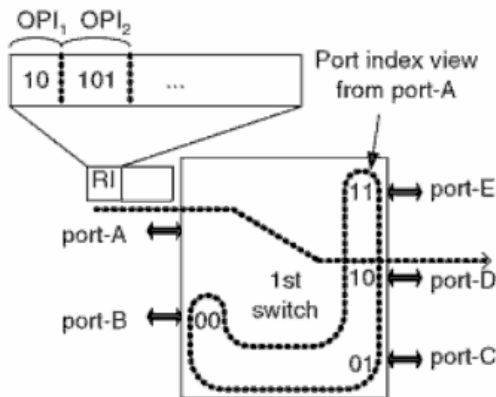


### Bone-1 Architektur:

- Stern Topologie
- Netzwerk Interfaces mit Sampler
- Switch ohne Routing Tabellen
- Unterschiedliche Clock Domains
- Mesochrone Kommunikation
- Off-Chip Gateway (OGW)

[2],[3]

## BONE 1 - Routing



- 16 Bit Header mit RI Feld → beinhaltet Serie von Output Port Index (OPI)
- Erster Eintrag im RI Feld = aktueller OPI → Cut Through Switching
- keine Routingtabellen → OPI wird bitweise nach links verschoben
- Netzwerk Interface des Ziel IPs erhält ein Header mit Rückweg

[3]

# Bewertung der Routing Architektur von BONE-1

---

## Vorteile des BONE-1 Routings

- Netzwerkdesign unabhängig von Systemdesign: Keine Routingtabellen
- feste Headergröße reduziert Latenz: Kein Header Parsing

## Nachteile des BONE-1 Routings

- kein adaptives Routing möglich: Ausfall der Switch = Single Point of Failure
- keine Datenflußkontrolle: Nicht geeignet für Realtime & Multimedia

## Weiterentwicklung von BONE

---

BONE 2 – Slim Spider (Multimedia SoC with Low Power On-Chip Network)

→ Energieeffizientes NoC für heterogene High Performance MPSoC's

BONE 3 – FONE (Flexible NoC Platform )

→ Einsatz bei portablen Multimedia Systemen: Adaptive Routing

BONE 4 – PREONE (Programmable & Reconfigurable On-Chip Network)

→ Zur Zeit noch in der Entwicklung – NoC mit Partial Reconfiguration

## NXP Semiconductors - Æthereal

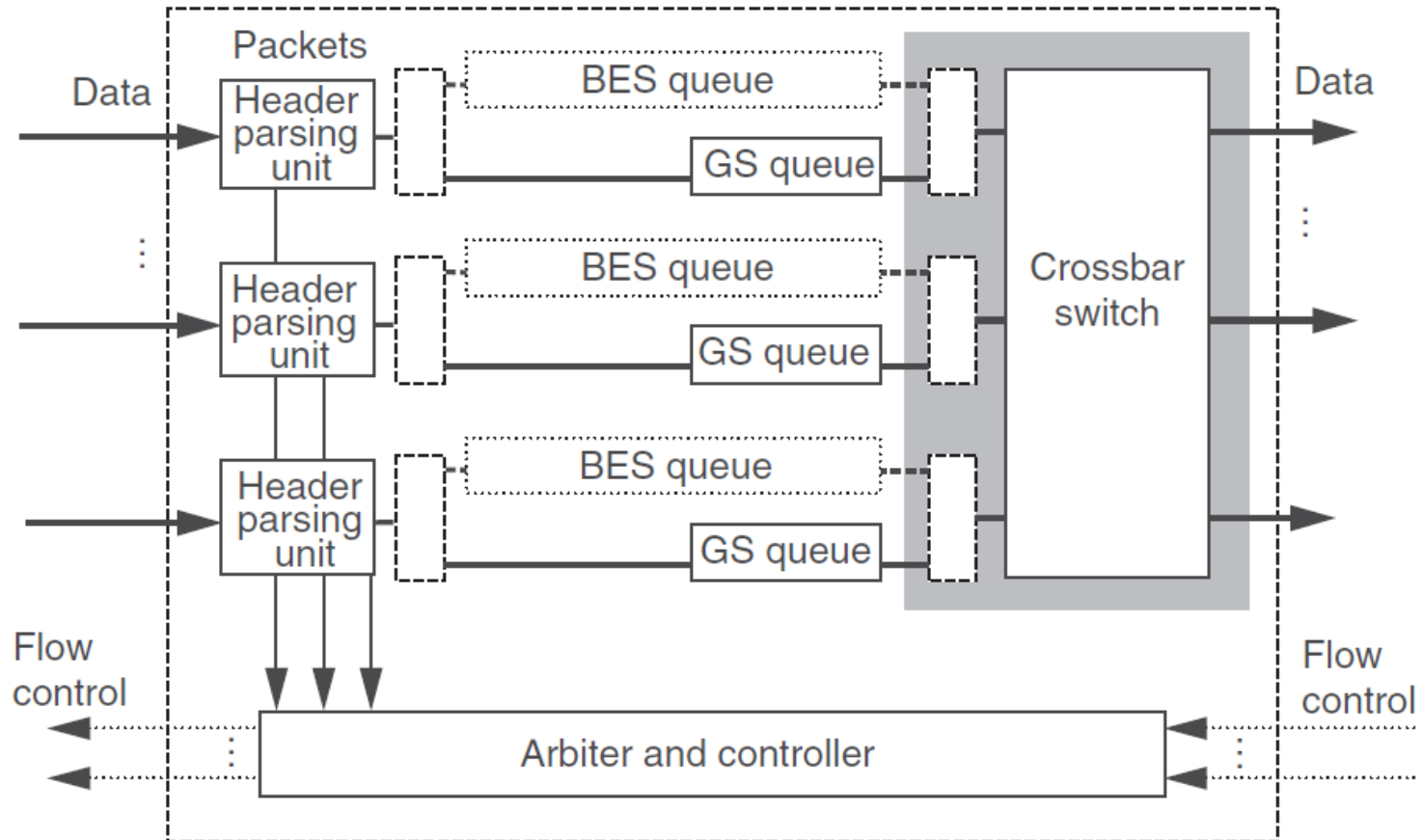
---



- Entwickelt 2001 von Philips Research Group
- Einsatz bei System on Chips in der Unterhaltungselektronik (Bsp: DTV)
- Audio- und Videoanwendungen mit Echtzeitanforderungen (hohe Datenmengen)
- Hohe Anzahl an IP Blöcken mit einer Shared Memory Architektur

- Ziele:**
- garantierte Paket Services (verlustlos, geordnet, begrenzte Latenzen)
  - garantierte Echtzeit Performance und Energieeffizienz

## Æthereal - Architektur



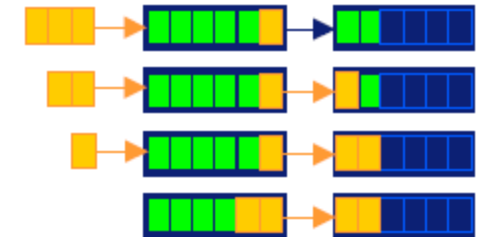
[3]



## Æthereal – Kombination zweier Router Architekturen

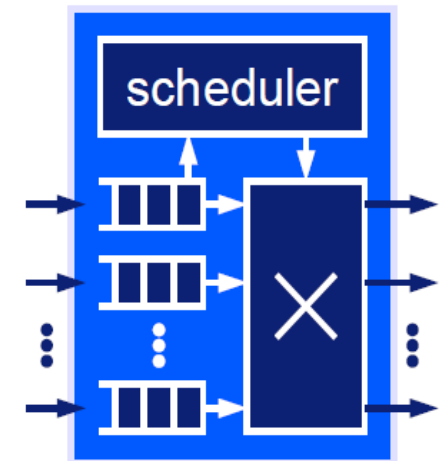
Best Effort (BE) Router:

- Wormhole Routing (Input Buffering) mit Paketheader
- Aufsplitten der Daten in kleine „Flits“
- FIFO Buffering



**Vorteile:** bessere Ausnutzung, Slot Table Programmierung

**Nachteile:** keine garantierte Bandbreite, Header Parsing



[6]

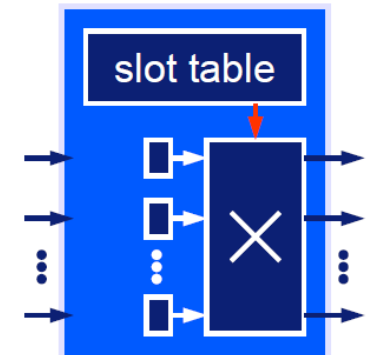
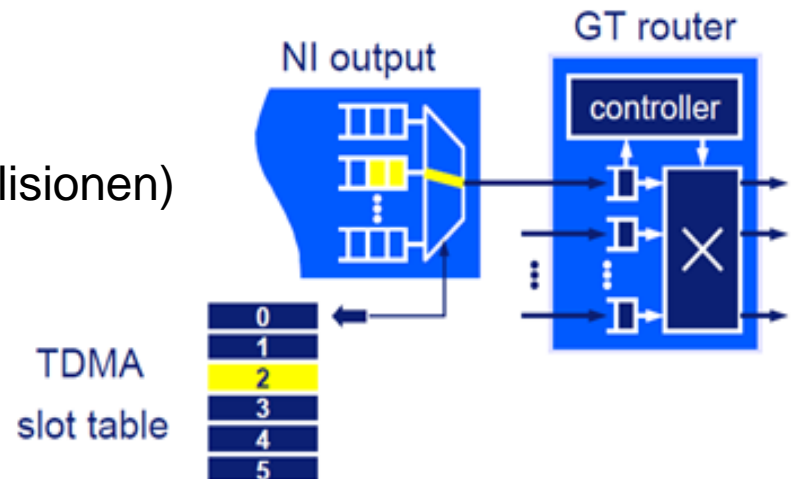
## Æethereal – Kombination zweier Router Architekturen

### Guaranteed Throughput (GT) Router:

- Contention Free Routing mit TDMA (keine Kollisionen)
- Statische Vergabe der Sender Zeitslots
- mit oder ohne Paket Header → Slot Tables

**Vorteil:** verlustfrei, keine Header, garantierte Bandbreite

**Nachteil:** schlechte Auslastung der Ressourcen



[6]

## Bewertung des Routings von Æethereal

---

### Vorteile des kombinierten BS-GT Routings bei Æethereal

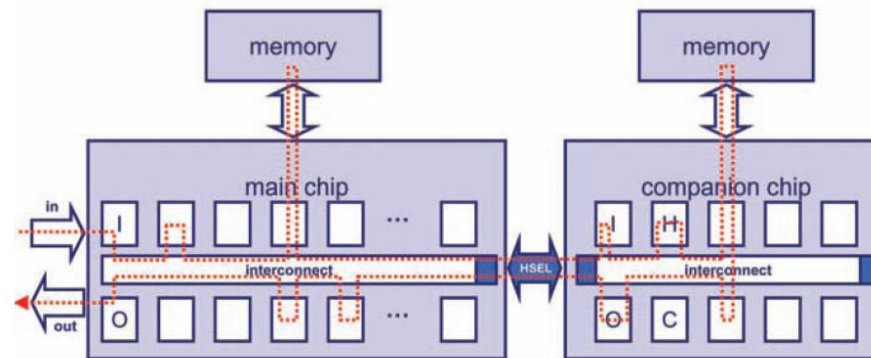
- garantierte und vorhersehbare Performance
- skalierbar durch modulare Struktur (leicht erweiterbar)
- automatische NoC Erzeugung durch NXP Tool Chain

### Nachteile des kombinierten BS-GT Routings bei Æethereal

- höherer Ressourcen- und Flächenverbrauch
- abhängiges Netzwerkdesign (Aktualisierung der Slot Tables bei neuen Sendern)

## Philips Nexperia™ PNX8550 TV SoC

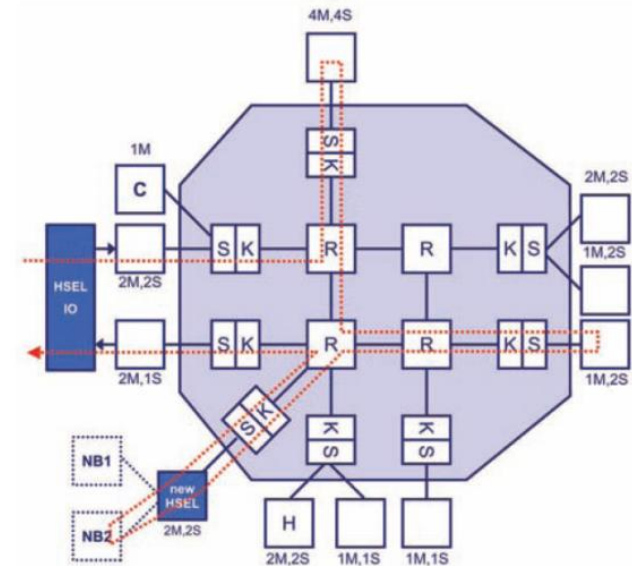
- PNX8550 TV Chip besteht aus 60 IPs und verschiedenen Companion Chips
- digitale hochauflösende TV SoCs erfordern hohe Performance (große Videodaten)
- Haupt SoC ist Master und agiert mit User, TV Display und TV Peripherie
- Funktionalitäten sind über mehrere Chips verteilt (jeweils eigene SoC Systeme)



[5]

## Philips Nexperia™ PNX8550 mit Æthereal → High End TV

- Zusammenfassung von verteilten Funktionalitäten zu einem MPSoC
- Æthereal NoC ersetzt die fest zugeordneten Verbindungen der Companion Chips
- 2D Mesh Topologie
- Off Chip Kommunikation durch High Speed Link
- Einsatz von GT Routern mit TDMA



[5]

## Vorteil des PNX8550 TV SoC mit Æthereal

---

- Reduzierung der Headergröße durch TDMA (1bit für Daten- oder Kontrollpaket)
- Neue IP Blöcke mit neuen Funktionen einfach in NoC integrierbar
- 4 % mehr Fläche jedoch rekonfigurierbar durch MIPS Prozessor (Nexperia)
- Automatische RTL VHDL Generierung durch Æthereal Design Flow
- steigende Flexibilität und Wiederverwendbarkeit

## Ausblick auf die Masterarbeit

---

### Projekt 1 und AW-2:

- Aufbau einer MPSoC Plattform mit mehreren Xilinx MicroBlazes
- Erster Entwurf einer NoC Router Architektur

### Projekt 2 und Seminar:

- Entwicklung eines „Network on Chips“ für eine MPSoC Plattform
- Kombination von NoC und Partial Reconfiguration

# Vielen Dank für Ihre Aufmerksamkeit

## Fragen ?

Heiko.Bordasch@HAW-Hamburg.de



## Literaturverzeichnis

---

- [1] E. Salminen et Al. (2008). Survey of Network-on-chip Proposals. OCP-IP White Paper
- [2] S.Joong et Al. (2003). An 800 MHz Star-Connected OCN for Application to SoC. ISSCC 2003
- [3] G.Micheli, & L.Benini. (2006). Networks on Chips – Technology and Tools. Elsevier Verlag
- [4] KAIST BONE. (2010). Network-on-Chip Research Group. <http://ssl.kaist.ac.kr/ocn/>
- [5] F.Steenhof et Al. (2006). High-End Consumer-Electronics TV System Architectures. ACM
- [6] Kees Goossens. (2006). Network on Chip Präsentation. SoC Group / NXP Semiconductors